راهنمای جامع و عملی روند طراحی مدارات مجتمع دیجیتال

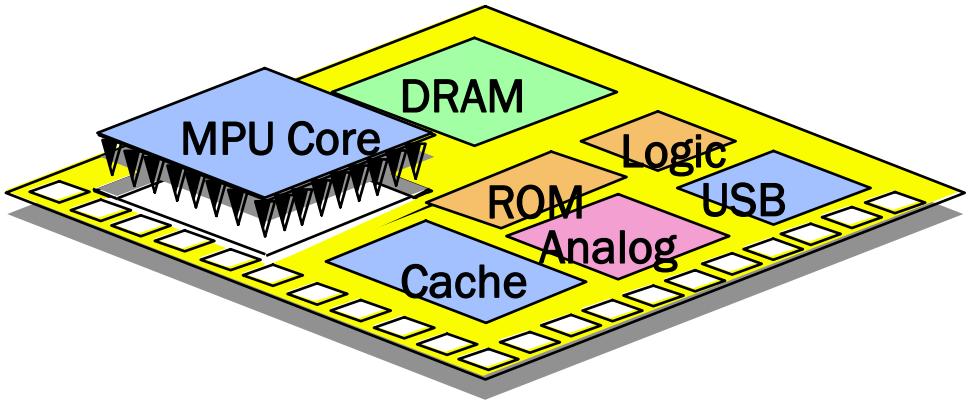
مرکز طراحی مدارات مجتمع ایران (ICIC)

فهرست مطالب

- مقدمه ای بر طراحی ASIC و FPGA
- روند طراحی ASIC
- مفاهیم پایه سنتز
- جانمایی و مسیریابی (Placement and Routing)

Iran's Center for Integrated Circuits (ICIC)

مقدمه ای بر طراحی ASIC و FPGA



- تاریخچه طراحی IC
- بررسی انواع ICها
- روندهای مختلف طراحی
- ASIC در مقایسه با FPGA
- سطوح تجرید طرح
- پارامترهای مهم طراحی
- لی اوت
- Chip Packaging

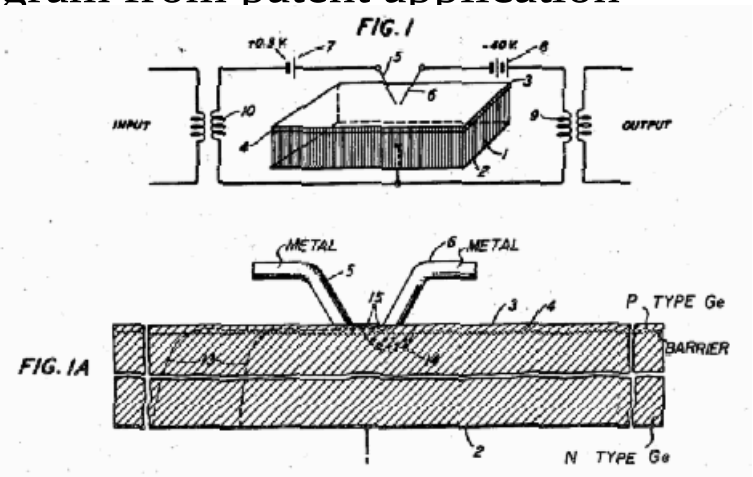
Iran's Center for Integrated Circuits (ICIC)

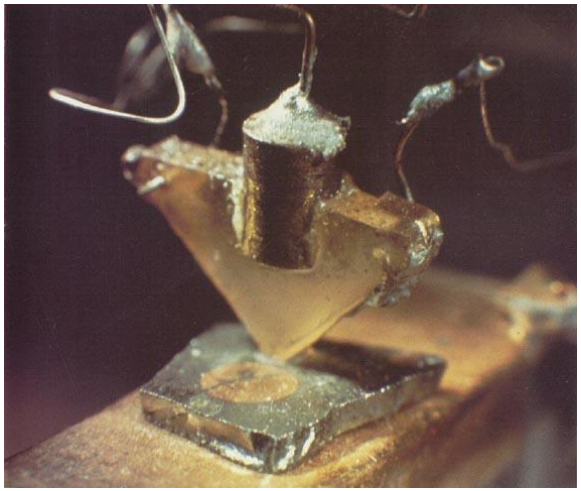
لابراتوار بل

- 1940: یک PN Junction توسط Ohl بوجود آمد.
- 1945: لابراتوار شاتکی راه اندازی شد.
- اولین ترانزیستور توسط Bardeen و Brattain ساخته شد.

(U.S. Patent 2, 524, 035)

Diagram from patent application



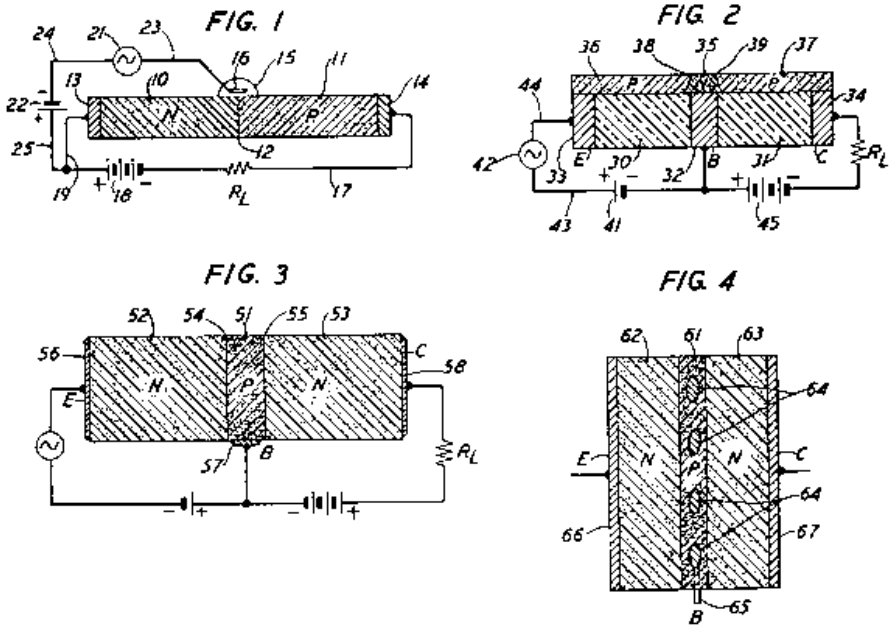


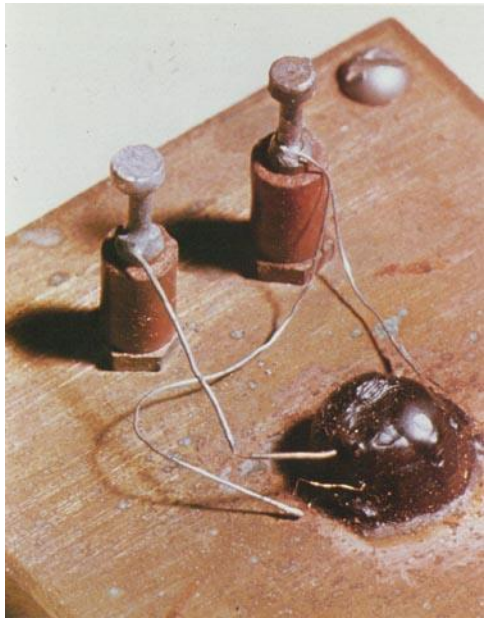
Iran's Center for Integrated Circuits (ICIC)

لابراتوار بل

- 1951: شاتکی کیفیت اتصالات در ترانزیستور را بهبود بخشید وآنرا برای استفاده و ساخت ارتقا داد.(U.S. Patent 2,623,105)

Diagram from patent application



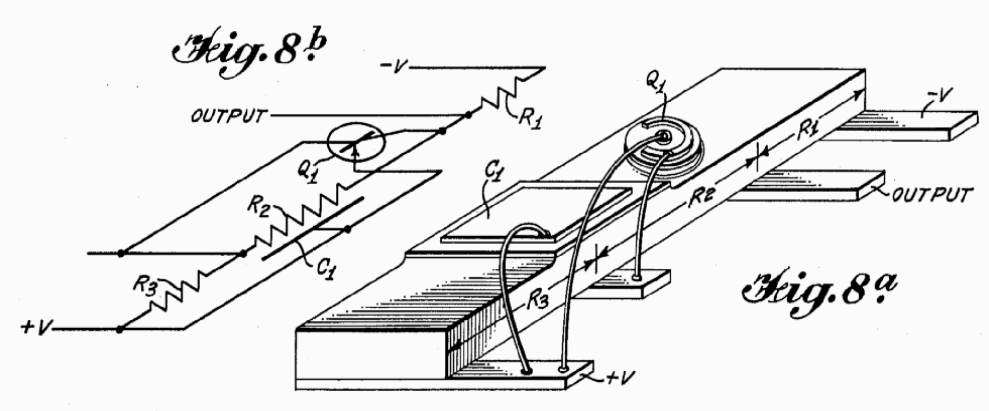


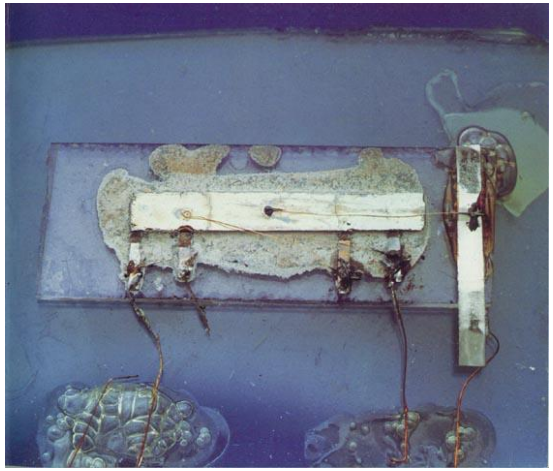
Iran's Center for Integrated Circuits (ICIC)

مدارهای مجتمع

- 1959: Jack Kilby, working at TI, dreams up the idea of a monolithic “integrated circuit”
  - Components connected by hand-soldered wires and isolated by “shaping”, PN-diodes used as resistors (U.S. Patent 3,138,743)

Diagram from patent application



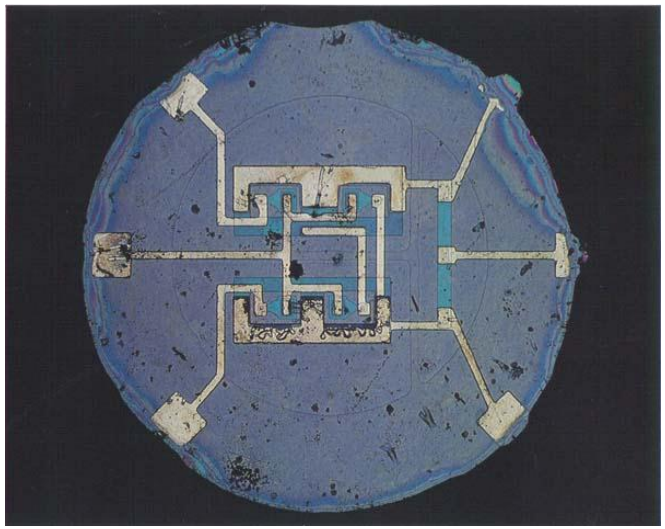


Iran’s Center for Integrated Circuits (ICIC)

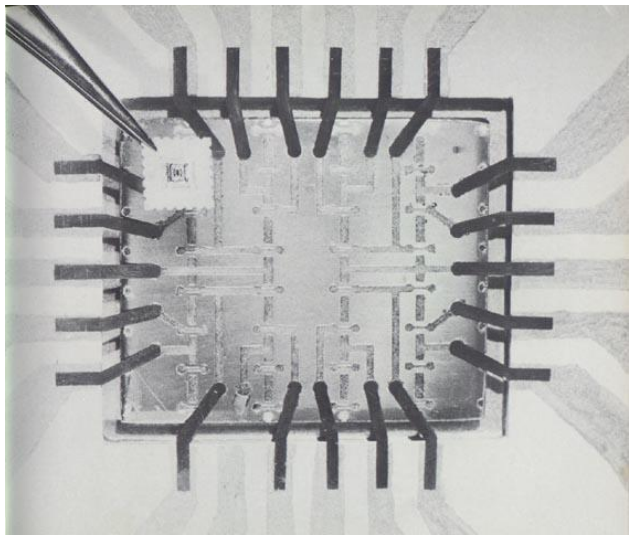
مدارهای مجتمع

- 1961: TI and Fairchild introduce the first logic ICs ($50 in quantity)
- 1962: RCA develops the first MOS transistor

Fairchild bipolar RTL Flip-Flop



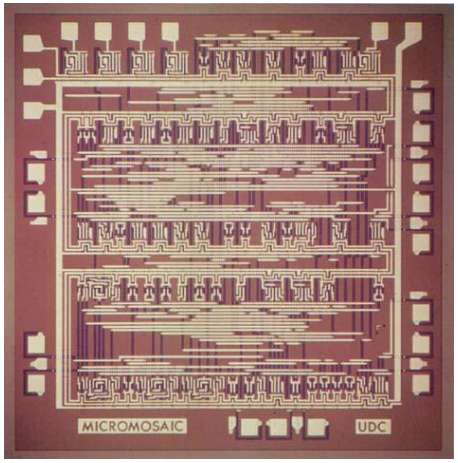
RCA 16-transistor MOSFET IC



Iran's Center for Integrated Circuits (ICIC)

Computer Aided Design

- 1967: Fairchild develops the “Micromosaic” IC using CAD
  - Final Al layer of interconnect could be customized for different applications



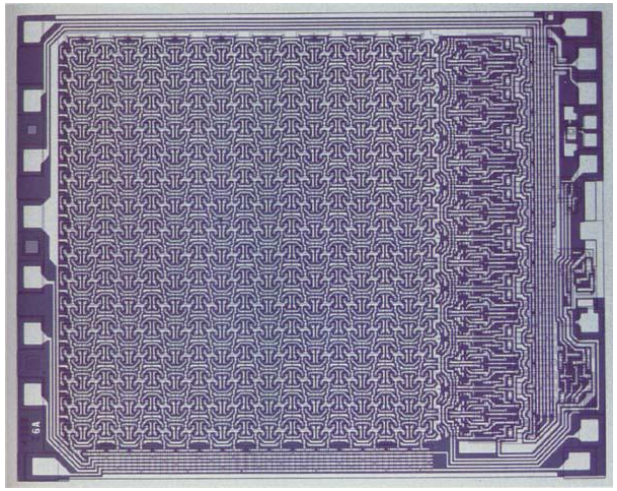
- 1968: Noyce, Moore leave Fairchild, start Intel

Iran’s Center for Integrated Circuits (ICIC)

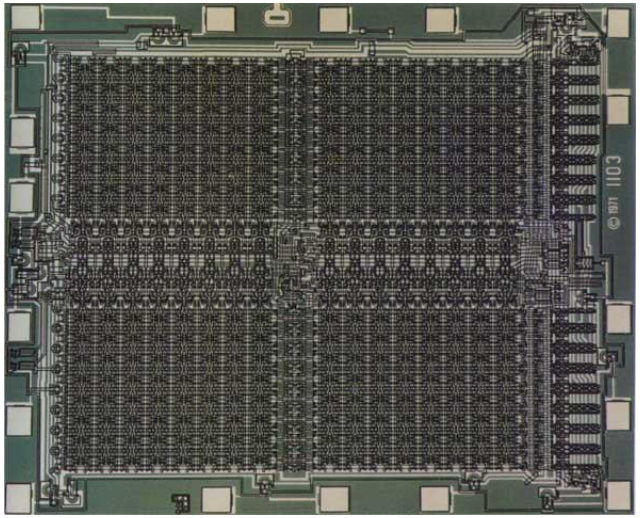
RAMs

- 1970: Fairchild introduces 256-bit Static RAMs
- 1970: Intel starts selling1K-bit Dynamic RAMs

410Fairchild 0 256-bit SRAM



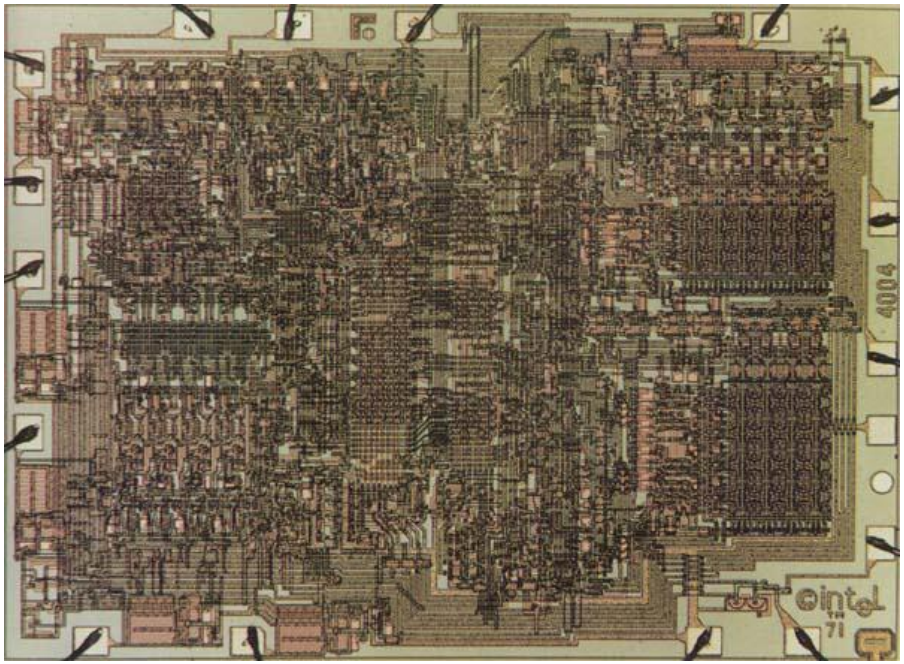
Intel 1103 1K-bit DRAM



Iran's Center for Integrated Circuits (ICIC)

میکروپروسسورها

- 1971: Intel introduces the 4004
  - General purpose programmable computer instead of custom chip for Japanese calculator company



Iran's Center for Integrated Circuits (ICIC)

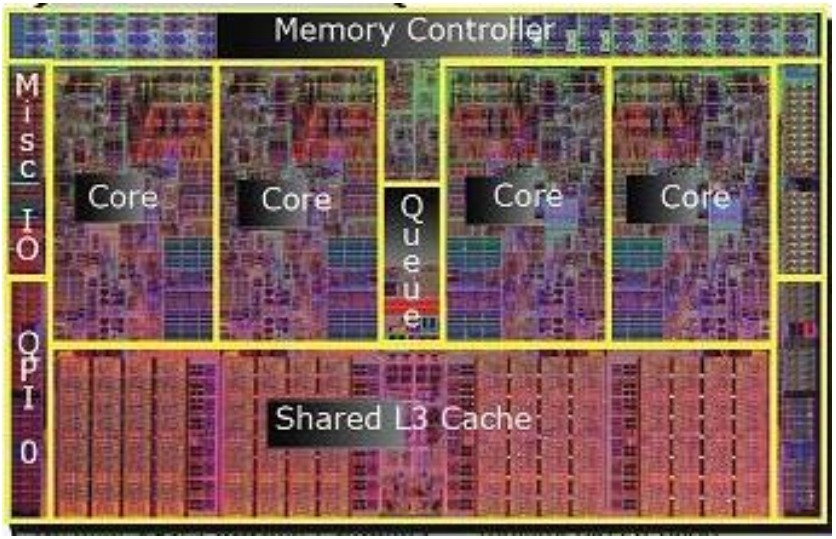
مقایسه طراحی جدید و طراحی قدیم

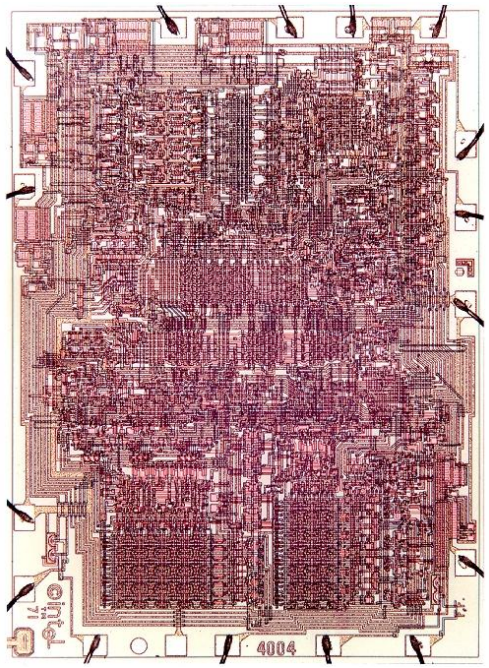
طراحی قدیمی(۱۹۷۱)

- **(1 MHZ) Intel 4004**
- تکنولوژی **10µm**
- **لی اوت دستی**
- هر **Module** طرح جداگانه بهینه سازی می شود

طراحی پیشرفته (۲۰۱۰)

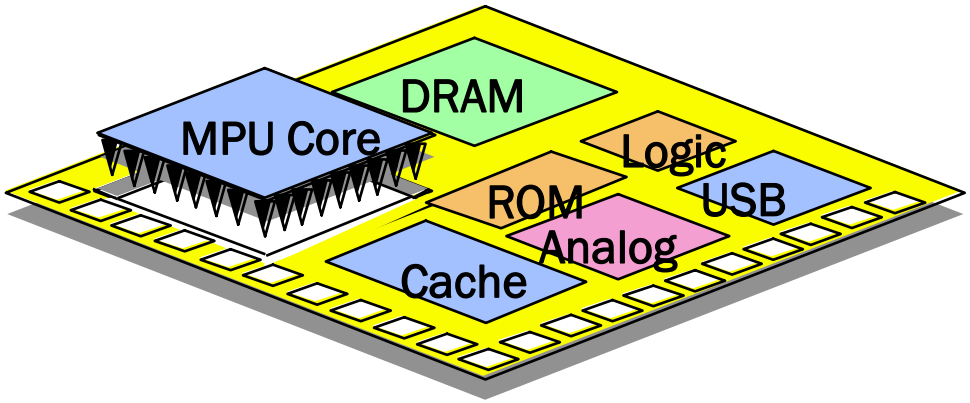
- **(1.6 GHZ)Core i7**
- تکنولوژی **32nm-45nm**
- **لی اوت اتوماتیک**
- **طراحی سلسله مراتبی**





Iran's Center for Integrated Circuits (ICIC)

مقدمه ای بر طراحی ASIC و FPGA



- تاریخچه طراحی IC
- بررسی انواع ICها
- روندهای مختلف طراحی
- ASIC در مقایسه با FPGA
- سطوح تجرید طرح
- پارامترهای مهم طراحی
- لی اوت
- Chip Packaging

Iran's Center for Integrated Circuits (ICIC)

انواع طراحی IC

- طراحی IC می تواند به دو صورت آنالوگ و دیجیتال انجام شود.
- طرح های دیجیتال به سه روش می توانند طراحی شوند:

  - طراحی Full Custom: تمام ترانزیستورها تک تک طراحی شده و لی اوت آنها جداگانه کشیده می شود.
  - ASIC (Application Specific Integrated Circuit): پس از کدنویسی، سنتز طرح بصورت اتوماتیک انجام می شود.
  - Semi- Custom: تلفیقی از طراحی ASIC و Custom است.

Iran's Center for Integrated Circuits (ICIC)

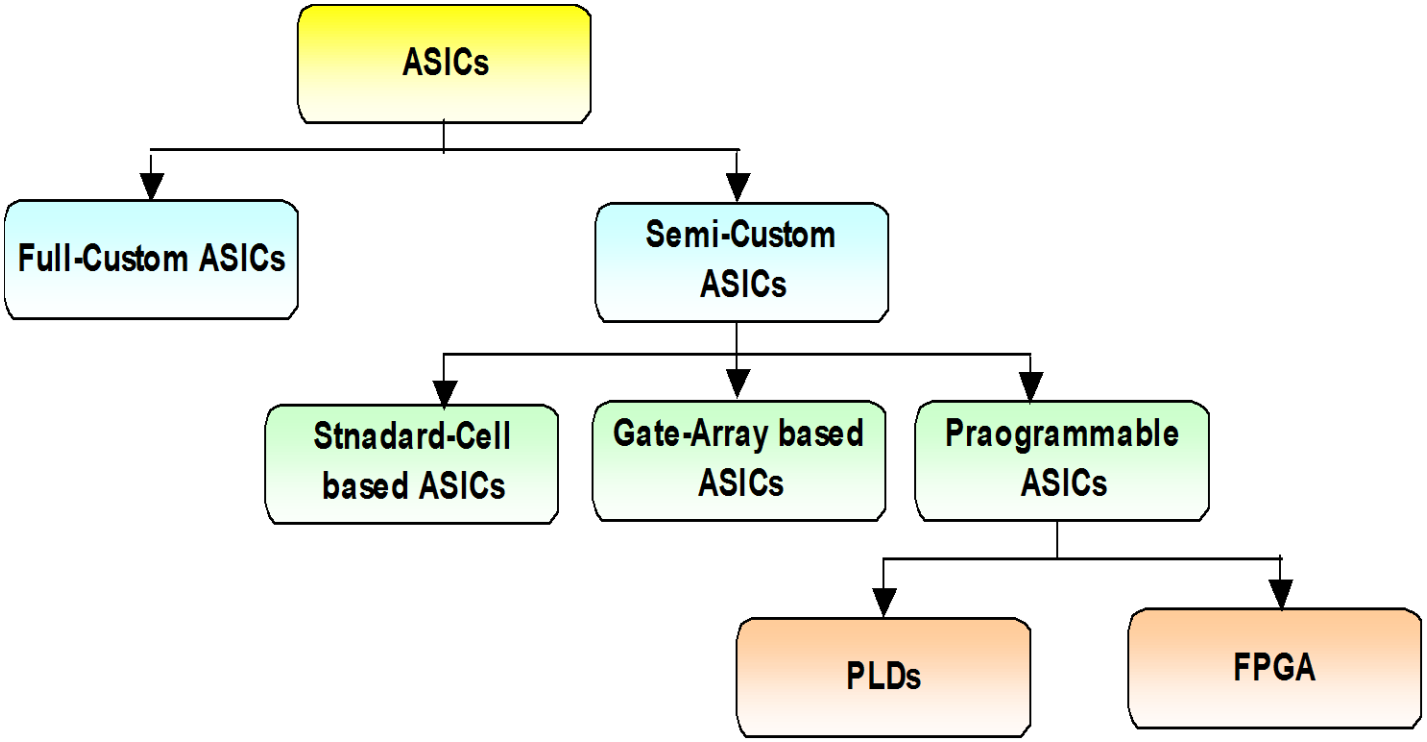
انواع ASIC

Full-Custom ICs/Fixed ASICs and Programmable ASICs

- **Wafer :** قطعه ای دایره ای شکل از سیلیکون خالص است که قطر آن بین ۱۰ تا ۱۵ میلیمتر است.
- **Wafer Lot :** شامل ۵ تا ۳۰ Wafer است که هریک شامل صدها Chip می باشند.
- **Die :** قطعه ای مستطیل شکل از سیلیکون است که طرح IC در آن قرار گرفته است.
- **Mask Layers :** هر IC می تواند شامل ۱۰ تا ۱۵ لایه مختلف باشد.

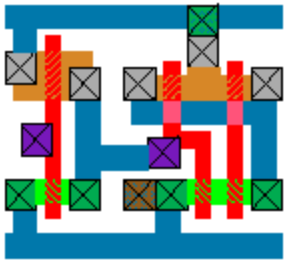
Iran's Center for Integrated Circuits (ICIC)

انواع ASIC



Iran's Center for Integrated Circuits (ICIC)

Full-Custom ASIC



چه زمانی از Full-Custom ASIC استفاده می کنیم:

- زمانی که کتابخانه تکنولوژی مناسب در اختیار نداشته باشیم.
- زمانی که سلول ها و گیت های موجود در کتابخانه تکنولوژی به اندازه کافی سریع نباشند.
- زمانی که سلول ها و گیت های موجود در کتابخانه تکنولوژی دارای توان مصرفی بیشتر از حد مجاز طرح باشد.
- زمانی که سلول ها و گیت های موجود در کتابخانه تکنولوژی به اندازه کافی کوچک نبوده تا مساحت طرح از حد مجاز بالاتر نرود.

در Full-Custom ASIC به دلیل کم شدن مساحت هزینه ها پایین تر است ولی زمان طراحی و ریسک آن بالا می رود.

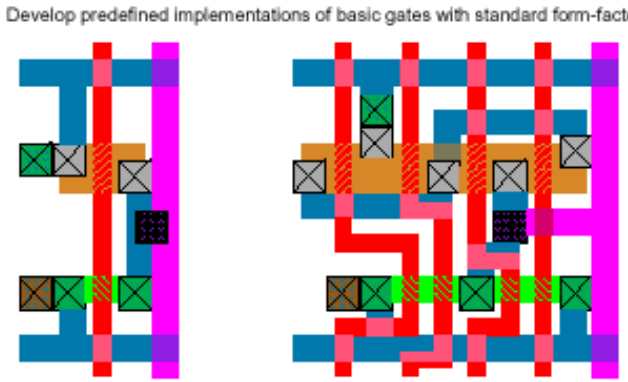
Iran's Center for Integrated Circuits (ICIC)

Semi-Custom ASIC

Standard Cells

سلول های استاندارد عبارتند از بلوک های منطقی شامل گیت ها و المان های پایه مدارهای ترکیبی و ترتیبی که از قبل طراحی، لی اوت و تست شده اند. استفاده از سلول های استاندارد:

- زمان ساخت را طولانی تر کرده و حداقل ۸ هفته به طول می انجامد.
- کارایی IC از نظر سایز و توان مصرفی ممکن است کمتر از طراحی Full-Custom باشد.
- قابلیت اطمینان طرح را بالا می برد.



Iran's Center for Integrated Circuits (ICIC)

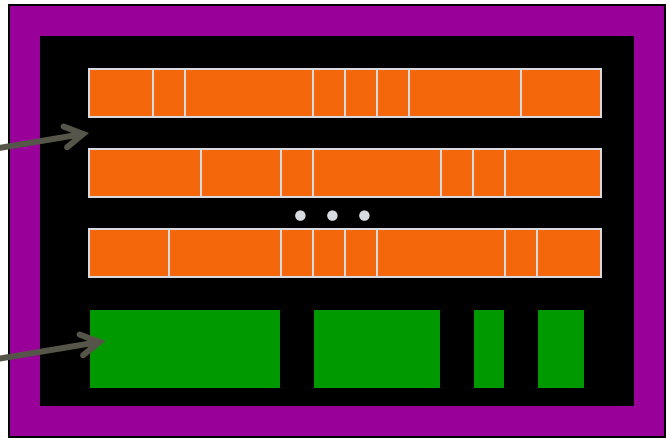
Semi-Custom ASIC

Gate Arrays

Standard Cell

Adjustable Spacing

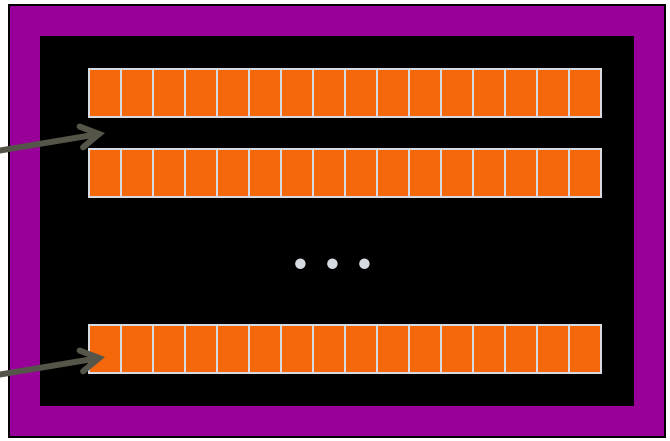
Megacells



Gate Array - Channeled

Fixed Spacing

Base Cell



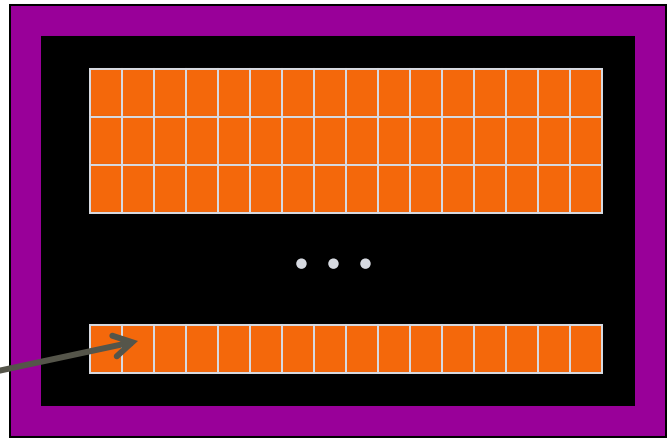
Iran's Center for Integrated Circuits (ICIC)

Semi-Custom ASIC

Gate Arrays

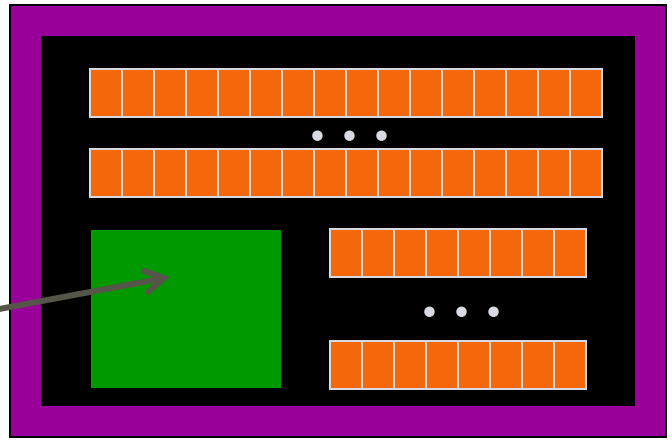
Gate Array - Channel-less

(Sea of Gates)



Base Cell

Gate Array - Structured

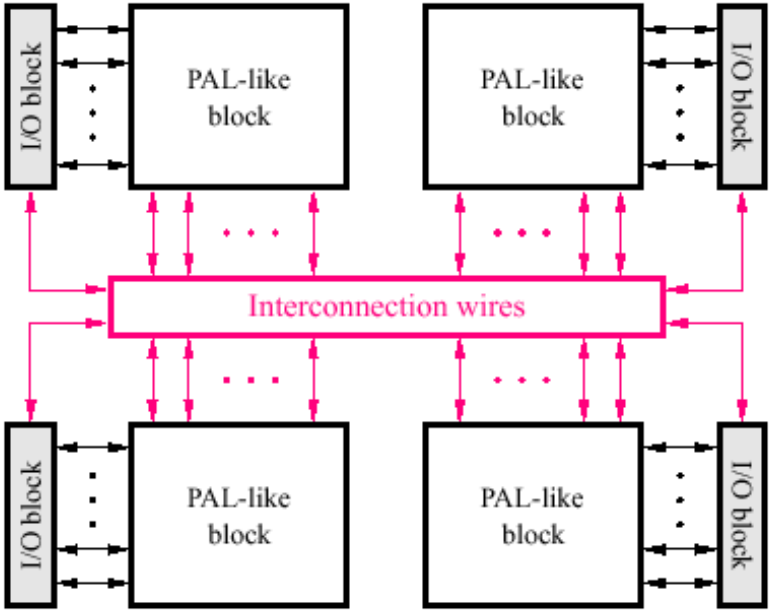


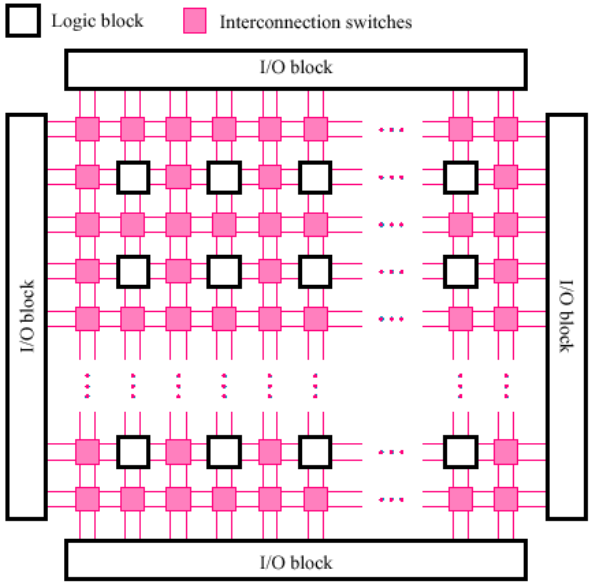
Fixed Embedded Block

Iran's Center for Integrated Circuits (ICIC)

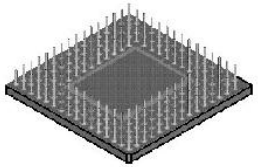
Semi-Custom ASIC

- **Semi-Custom ASICs –** Cont'd
  - **Programmable ASICs** - Cont'd
    - **Structure of a CPLD / FPGA**





(a) General structure of an FPGA

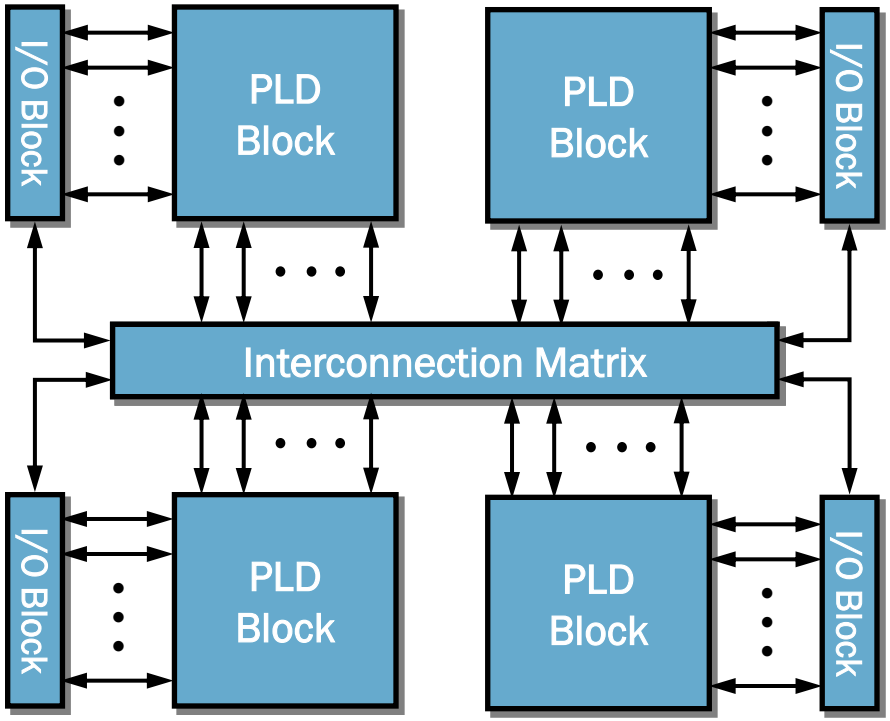


(b) Pin grid array (PGA) package (bottom view)

Iran's Center for Integrated Circuits (ICIC)

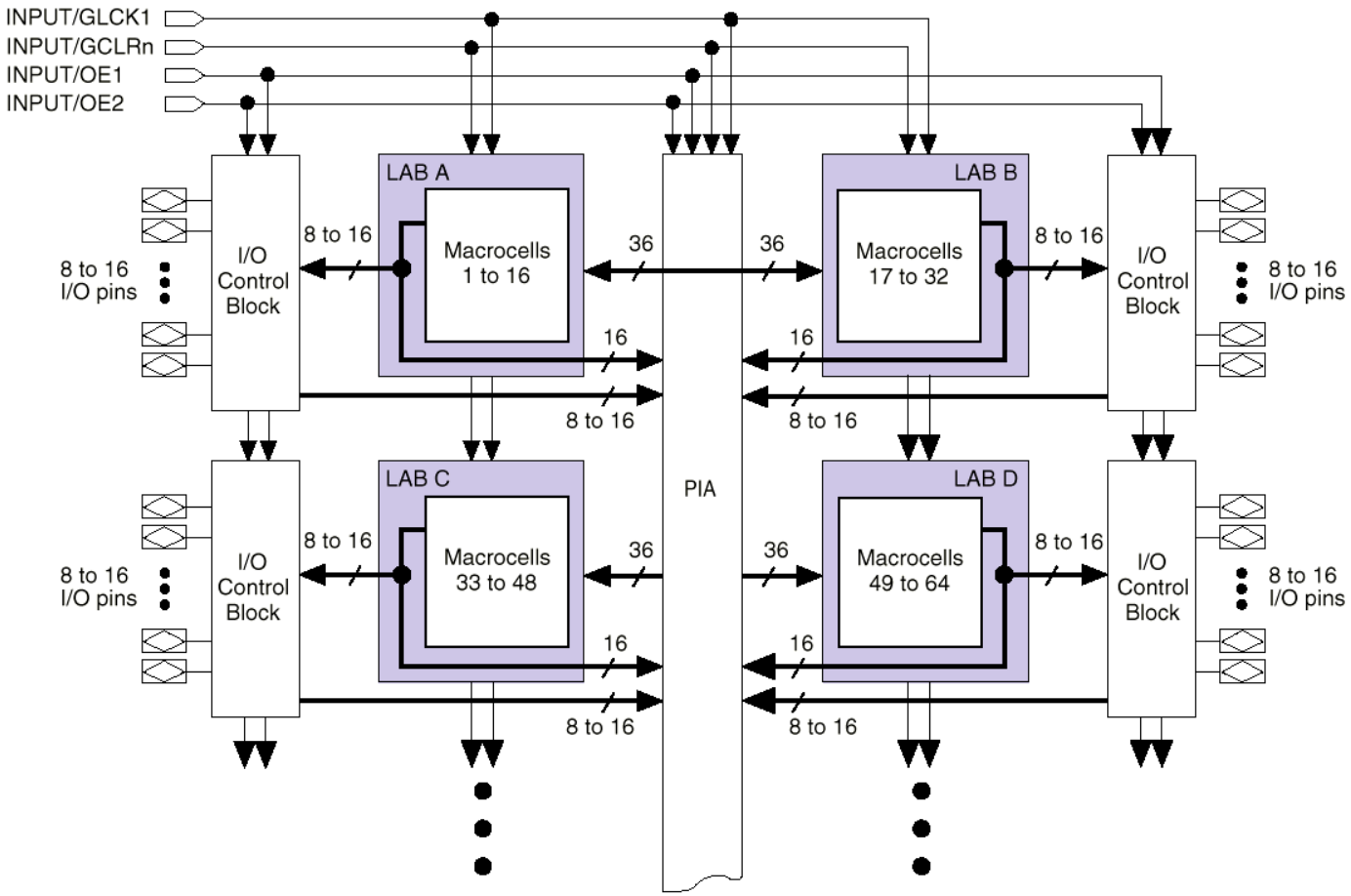
CPLD Structure

- Integration of several PLD blocks with a programmable interconnect on a single chip



Iran's Center for Integrated Circuits (ICIC)

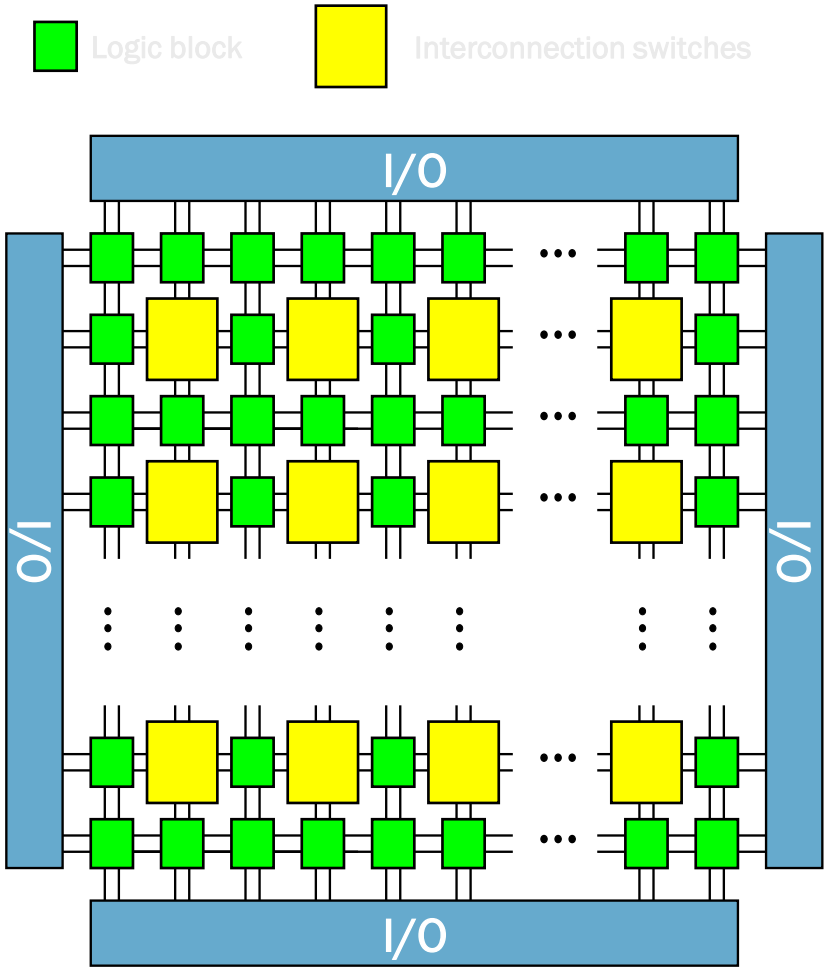
CPLD Example



FPGA Structure

FPGA building blocks:

- **Programmable logic blocks**
  Implement combinatorial and sequential logic
- **Programmable interconnect**
  Wires to connect inputs and outputs to logic blocks
- **Programmable I/O blocks**
  Special logic blocks at the periphery of device for external connections



Iran's Center for Integrated Circuits (ICIC)

بلوکهای سازنده FPGA

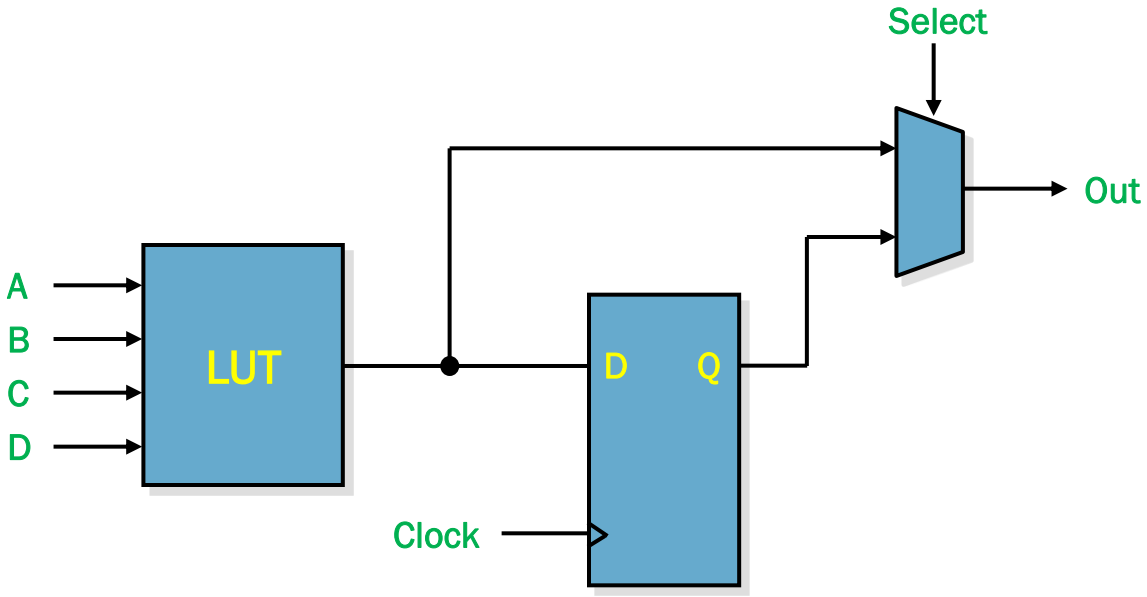
بلوک های سازنده FPGA عبارتند از:

- بلوک های توزیع کلاک
- بلوک های حافظه
- بلوک های خاص منظوره شامل بلوک های DSP
- بلوک های میکرو پروسسور و میکروکنترلر
- فرستنده- گیرنده های پر سرعت

Iran's Center for Integrated Circuits (ICIC)

المانهای منطقی پایه در FPGA

- LUT: مدارهای ترکیبی طرح را پیاده سازی می کنند.
- Register : مدارهای ترتیبی طرح را پیاده سازی می کنند.
- Carry Logic
- Expansion Logic



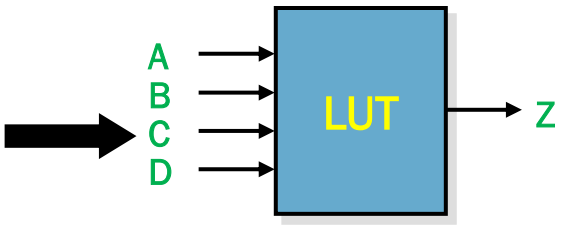
Iran's Center for Integrated Circuits (ICIC)

Look-Up Table (LUT)

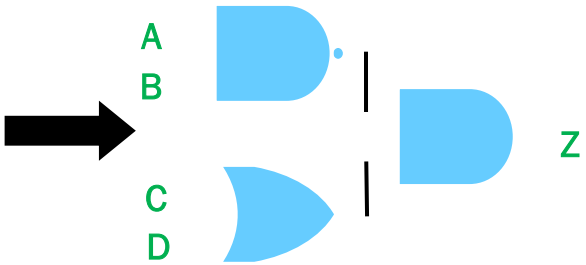
- یک LUT با n ورودی می تواند هر مدار ترکیبی با n ورودی را تولید کند.
- یکLUT بر اساس جدول درستی آن برنامه ریزی می شود.

A	B	C	D	Z
0	0	0	0	**0**
0	0	0	1	**1**
0	0	1	0	**1**
0	0	1	1	**1**
0	1	0	0	**0**
0	1	0	1	**1**
0	1	1	0	**1**
0	1	1	1	**1**
1	0	0	0	**0**
1	0	0	1	**1**
1	0	1	0	**1**
1	0	1	1	**1**
1	1	0	0	**0**
1	1	0	1	**0**
1	1	1	0	**0**

Truth-table



LUT implementation

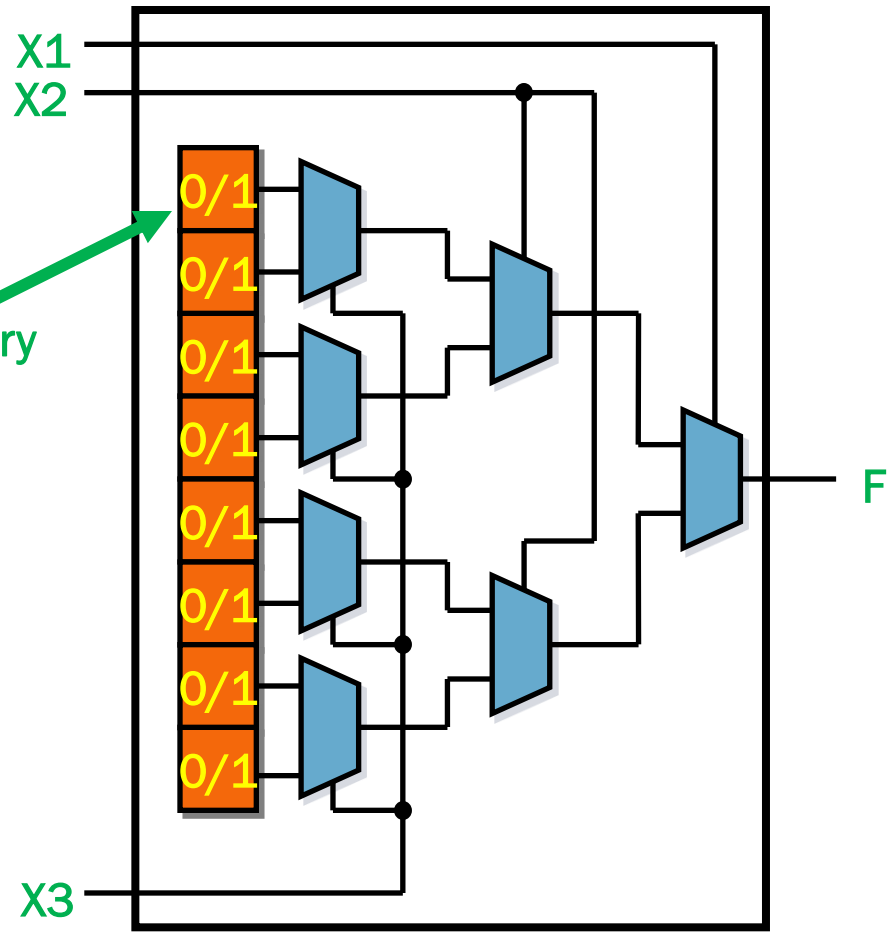


Gate implementation

Iran's Center for Integrated Circuits (ICIC)

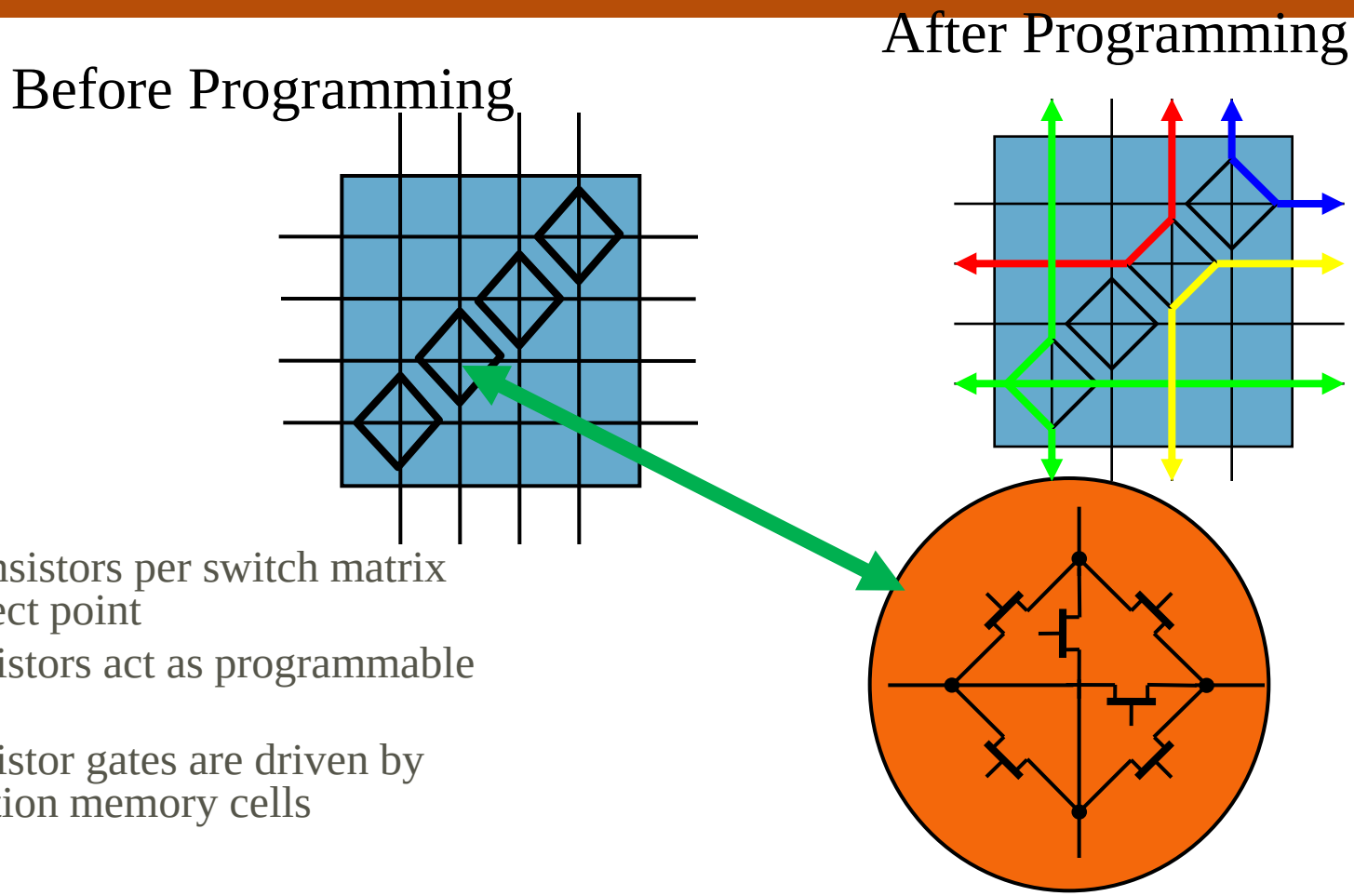
پیاده سازی یک LUT

- Example: 3-input LUT
- Based on multiplexers (pass transistors)
- LUT entries stored in configuration memory cells



Iran's Center for Integrated Circuits (ICIC)

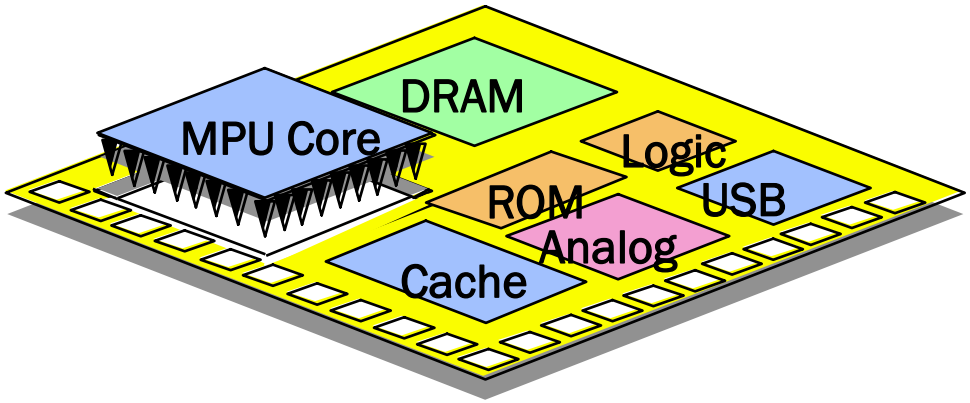
عملیات ماتریس سوییچ



- 6 pass transistors per switch matrix interconnect point
- Pass transistors act as programmable switches
- Pass transistor gates are driven by configuration memory cells

Iran's Center for Integrated Circuits (ICIC)

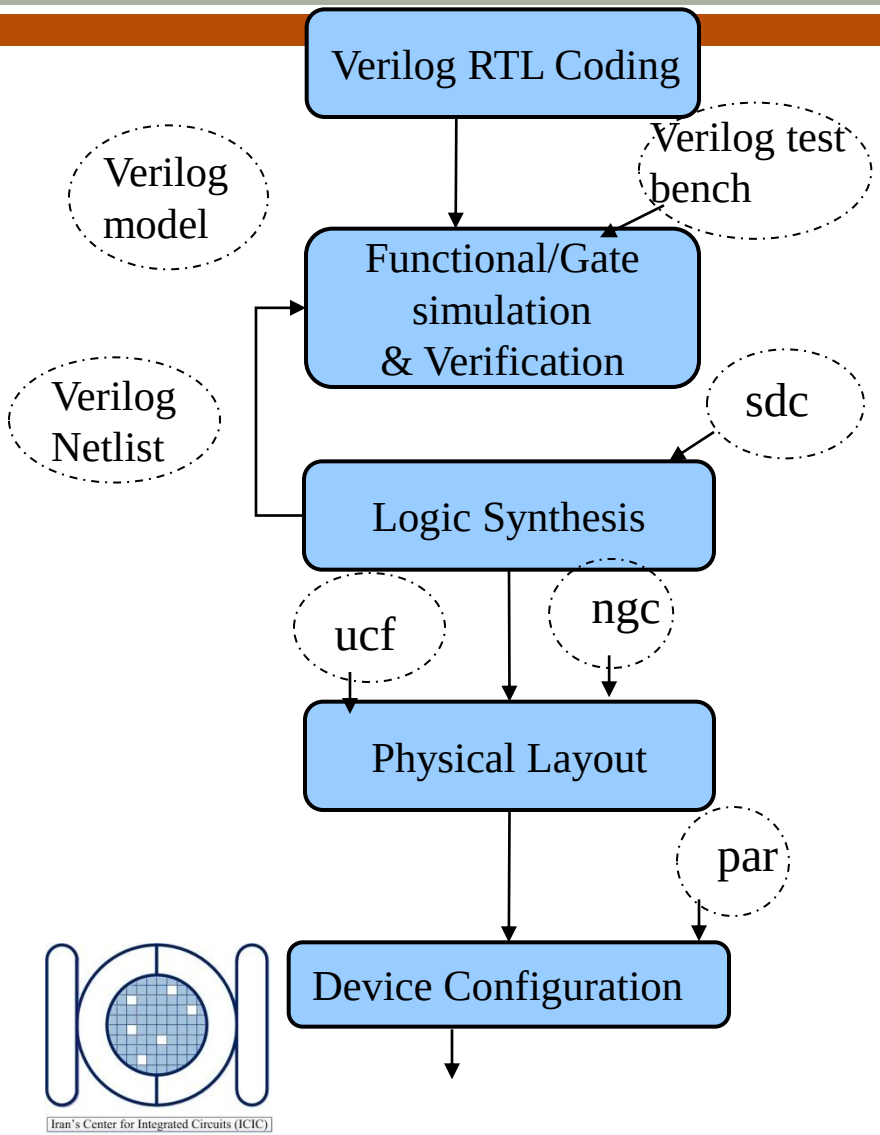
مقدمه ای بر طراحی ASIC و FPGA



- تاریخچه طراحی IC
- بررسی انواع ICها
- روندهای مختلف طراحی
- ASIC در مقایسه با FPGA
- سطوح تجرید طرح
- پارامترهای مهم طراحی
- لی اوت
- Chip Packaging

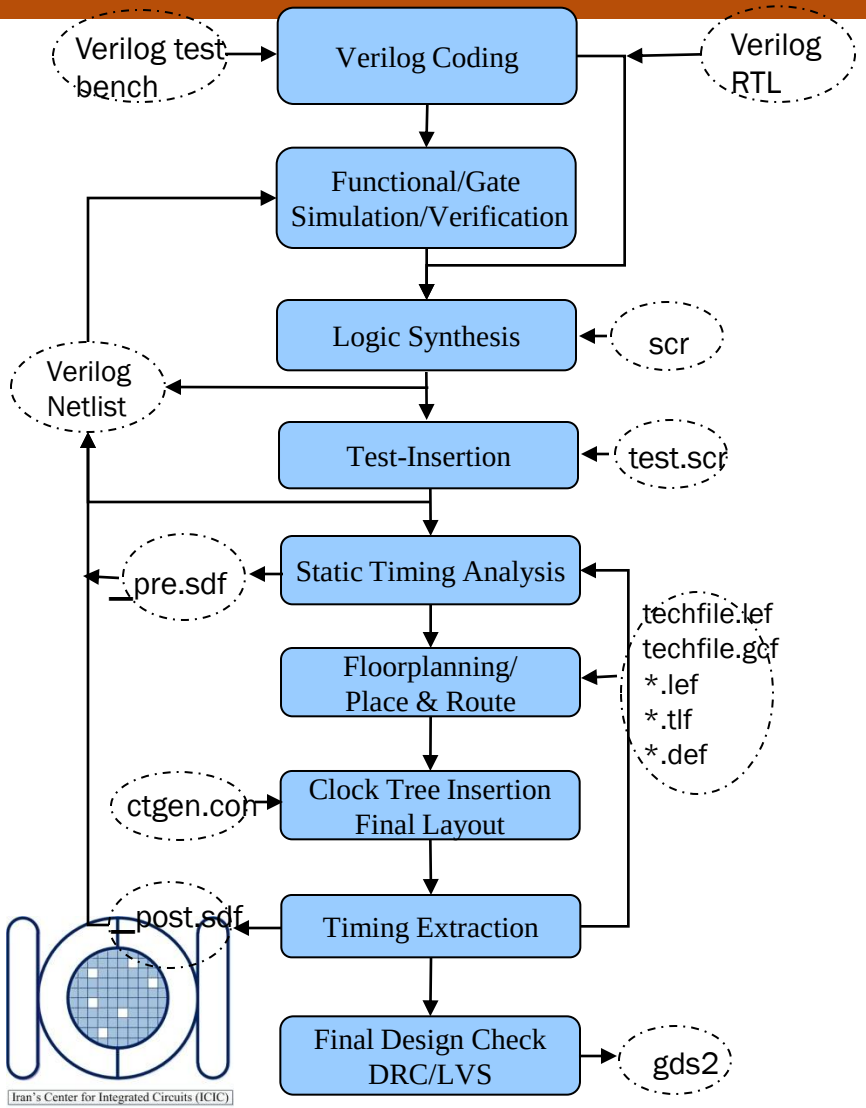
Iran's Center for Integrated Circuits (ICIC)

FPGA Design Flow



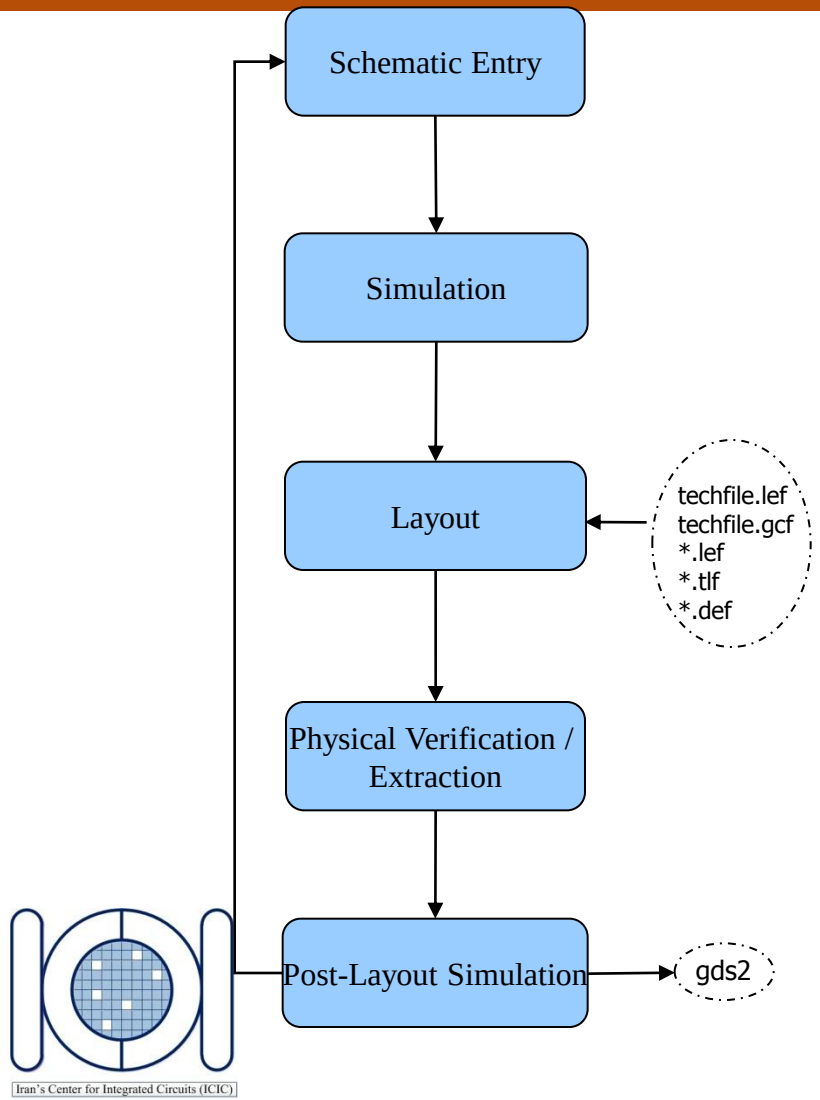
Design Stage	Tools
Verilog Design	Text Editor Emacs, Nedit, Vi
Verification	Modelsim SE Leda
Synthesis	Xilinx ISE - XST Synplify Pro
Pyhsical Design & Implementation	Xilinx ISE Xilinx Impact

Digital Design Flow



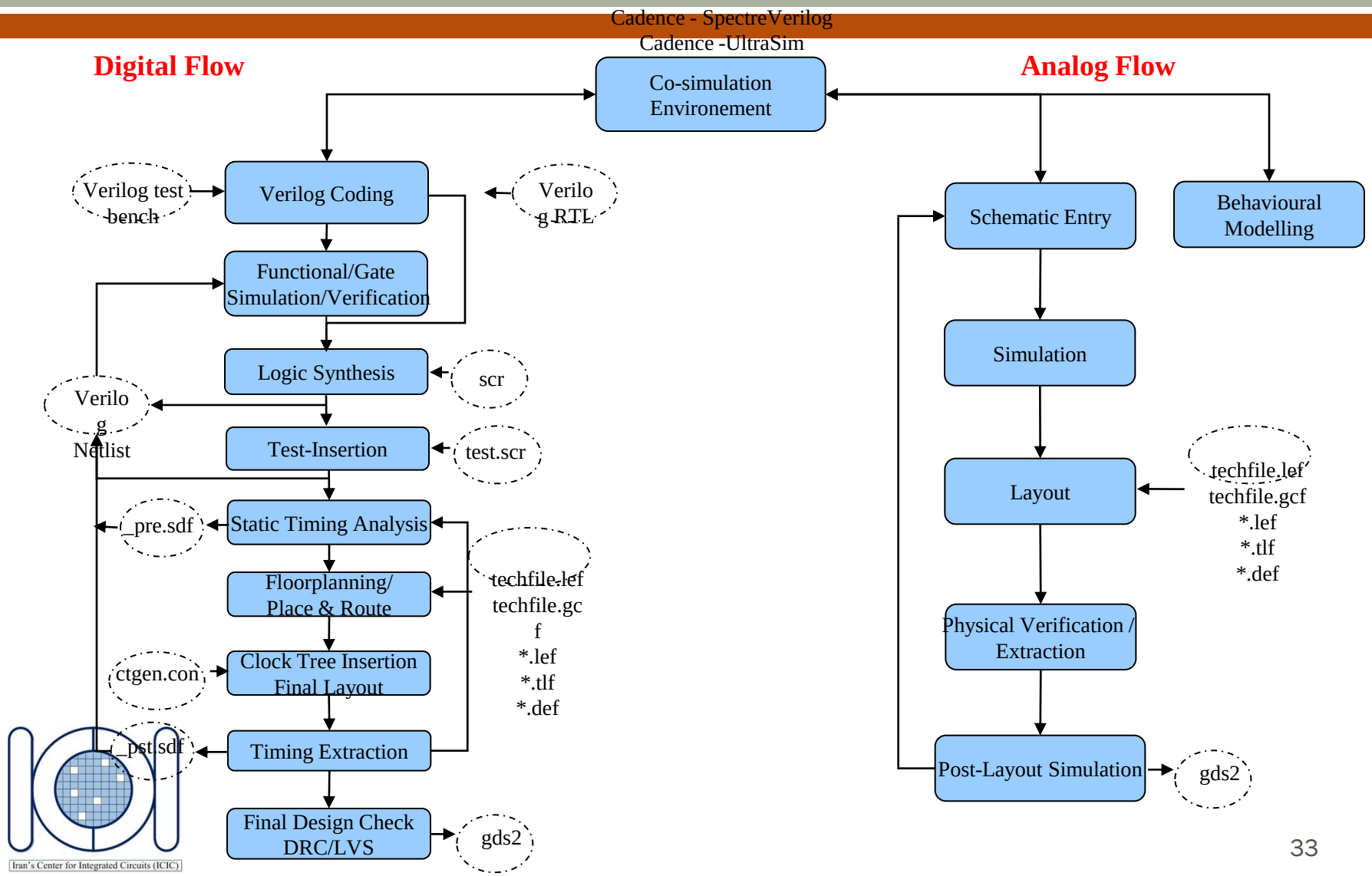
Design Stage	Tools
Verilog Design	Text Editor Emacs, Nedit, Vi
Verification	Mentor - Modelsim SE Synopsys - Leda
Synthesis	Synposys - Design Compiler
Test Insertion	Synopsys - TetraMax Mentor - Fastscan
Static Timing Anal.	Synopsys - Primetime
Place & Route	Cadence - Sensemble/ SOC Encounter Synopsys - Apolllo
Clock Tree Insertion	Cadence - CTgen
Timing Extraction	Synopsys - StarRXT Cadence - Pearl
DRC/ANT Checking	Cadence - Assura, Dracula Mentor – Callibre
LVS	Cadence - Assura, Dracula Mentor – Callibre

Analog Design Flow

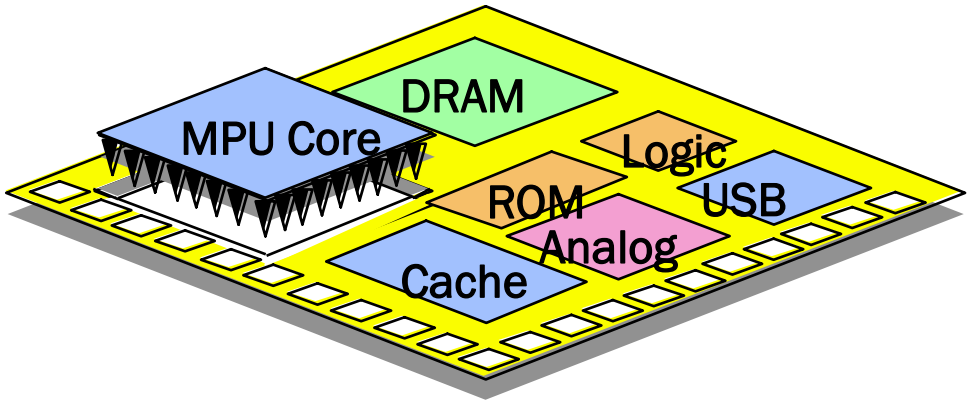


Design Stage	Tools
Schematic Entry	Composer
Simulation	Spectre
Layout	Virtuosso
Pyhsical Verification/ Extraction	Assura Calibre
Post-Layout Simulation	Spectre

Mixed Signal Design Flow



مقدمه ای بر طراحی ASIC و FPGA



- تاریخچه طراحی IC
- بررسی انواع ICها
- روندهای مختلف طراحی
- ASIC در مقایسه با FPGA
- سطوح تجرید طرح
- پارامترهای مهم طراحی
- لی اوت
- Chip Packaging

Iran's Center for Integrated Circuits (ICIC)

ASIC

Application Specific Integrated Circuit (ASIC)

مزایا

- ✓ سرعت بالا
- ✓ توان مصرفی کم
- ✓ ارزانتر (در تولید انبوه)

معایب

- ✘ زمان زیادی طول می کشد تا به بهره برداری برسد.(Long Time to Market)
- ✘ ابزارهای طراحی گران قیمت تر نسبت به FPGA
- ✘ هزینه بالا برای نمونه اولیه

Iran's Center for Integrated Circuits (ICIC)

FPGA

Field Programmable Gate Array (FPGA)

مزایا

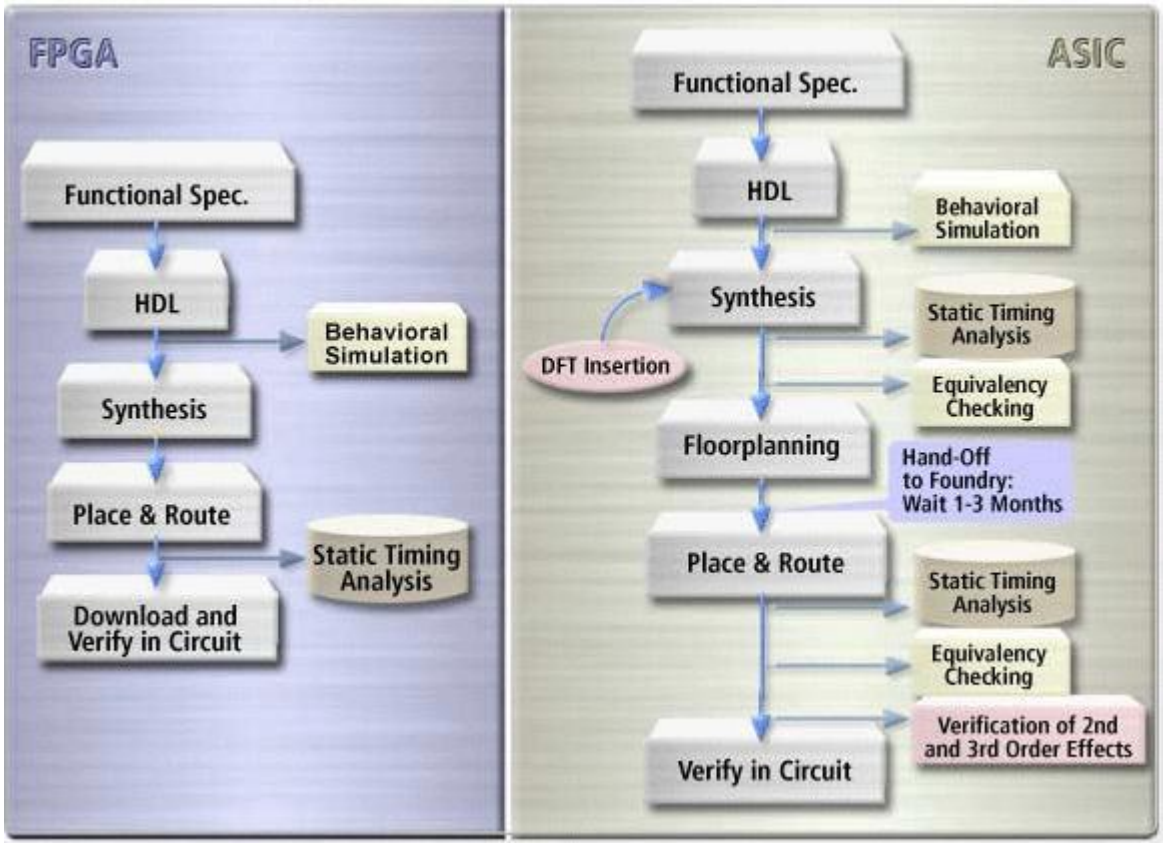
- ✓ قابلیت برنامه ریزی و تست سریع توسط کاربر
- ✓ ابزاری مناسب برای طراحی نمونه اولیه مدارات مجتمع (Prototype Design)
- ✓ قابلیت استفاده مجدد برای طرحهای مختلف
- ✓ ابزارهای طراحی ارزان قیمت تر از ASIC
- ✓ قابلیت تغییر و اصلاح سریع

معایب

- ✗ سرعت پایین تر نسبت به ASIC
- ✗ توان مصرفی بیشتر نسبت به ASIC

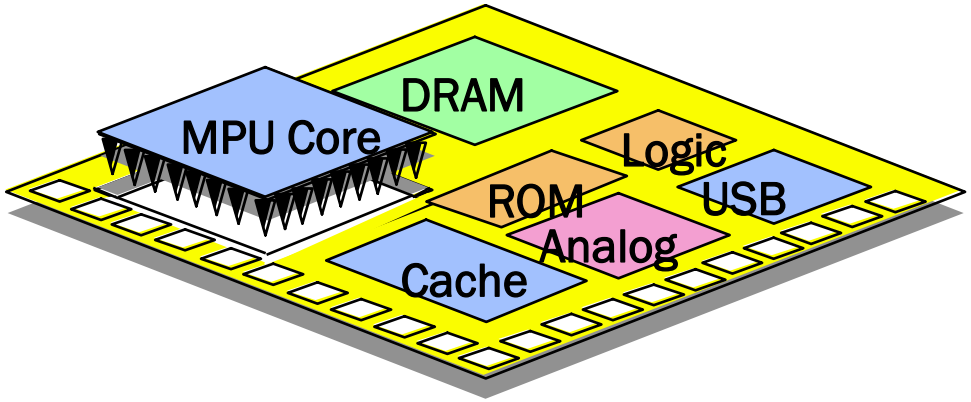
Iran's Center for Integrated Circuits (ICIC)

FPGA در مقایسه باASIC



Iran's Center for Integrated Circuits (ICIC)

مقدمه ای بر طراحی ASIC و FPGA

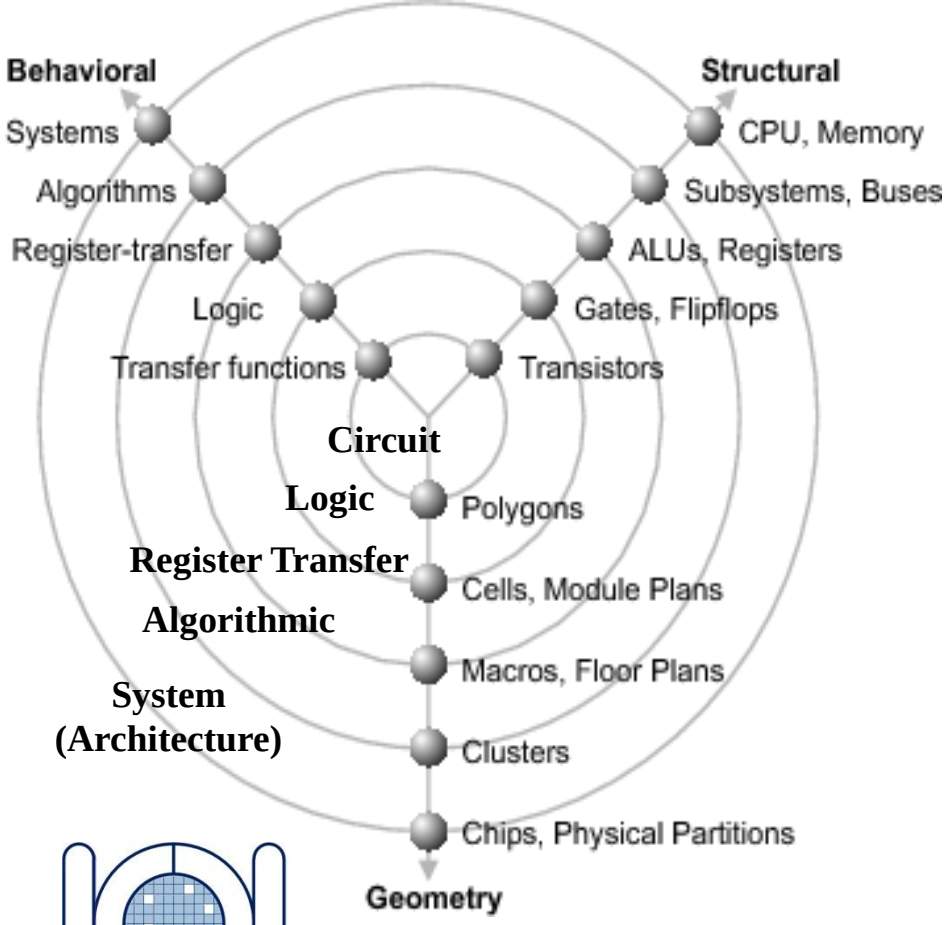


- تاریخچه طراحی IC
- بررسی انواع ICها
- روندهای مختلف طراحی
- ASIC در مقایسه با FPGA
- سطوح تجرید طرح
- پارامترهای مهم طراحی
- لی اوت
- Chip Packaging

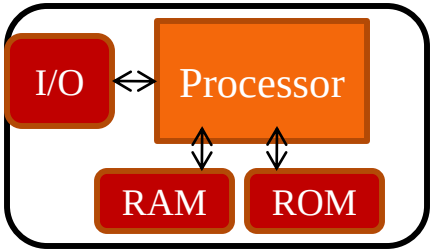
Iran's Center for Integrated Circuits (ICIC)

سطوح تجرید

Y-Chart



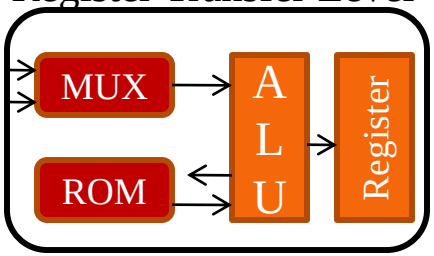
System Level



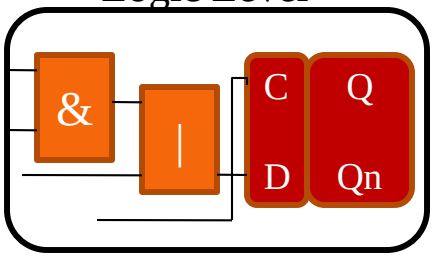
Algorithmic Level

```
A:=A*B+F
  IF(C=TRUE) THEN
      A:=A+2*F
  ELSE A:=A-1
  ENDIF
```

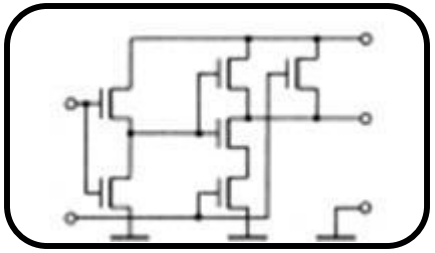
Register Transfer Level



Logic Level



Circuit Level



سطوح تجرید

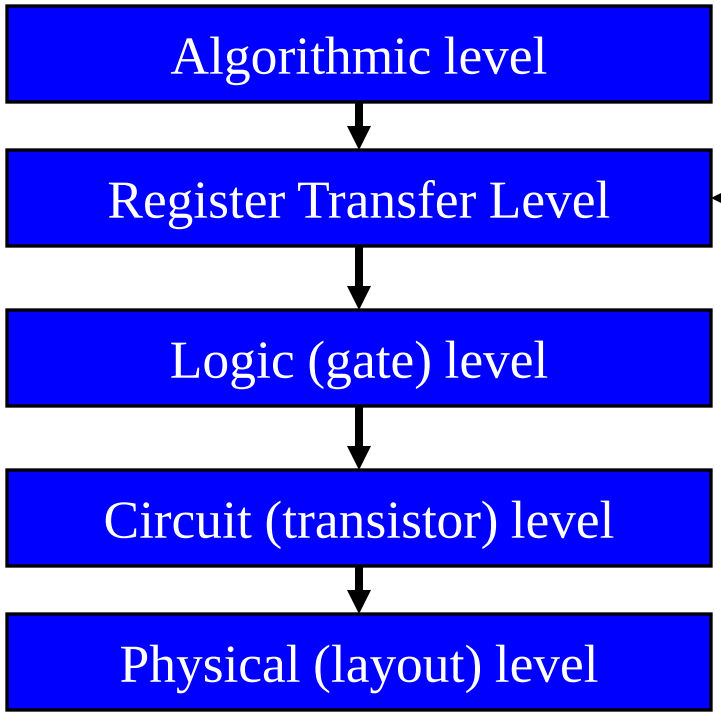
توصیف رفتاری: عملکرد یک طرح را بر اساس مشخصات آن توصیف کرده و خروجیها را بر اساس تابعی از ورودیها تعریف می کند. این توصیف با استفاده از زبانهای توصیف سخت افزار مانند VHDL و Verilog صورت می گیرد.

توصیف ساختاری: رفتار طرح را توسط اتصال ماجولهای مختلف طرح پیاده سازی می کند.

توصیف فیزیکال: فاکتورهای فیزیکی طرح مانند اندازه و مکان اجزا و سیمها را توصیف می کند.

Iran's Center for Integrated Circuits (ICIC)

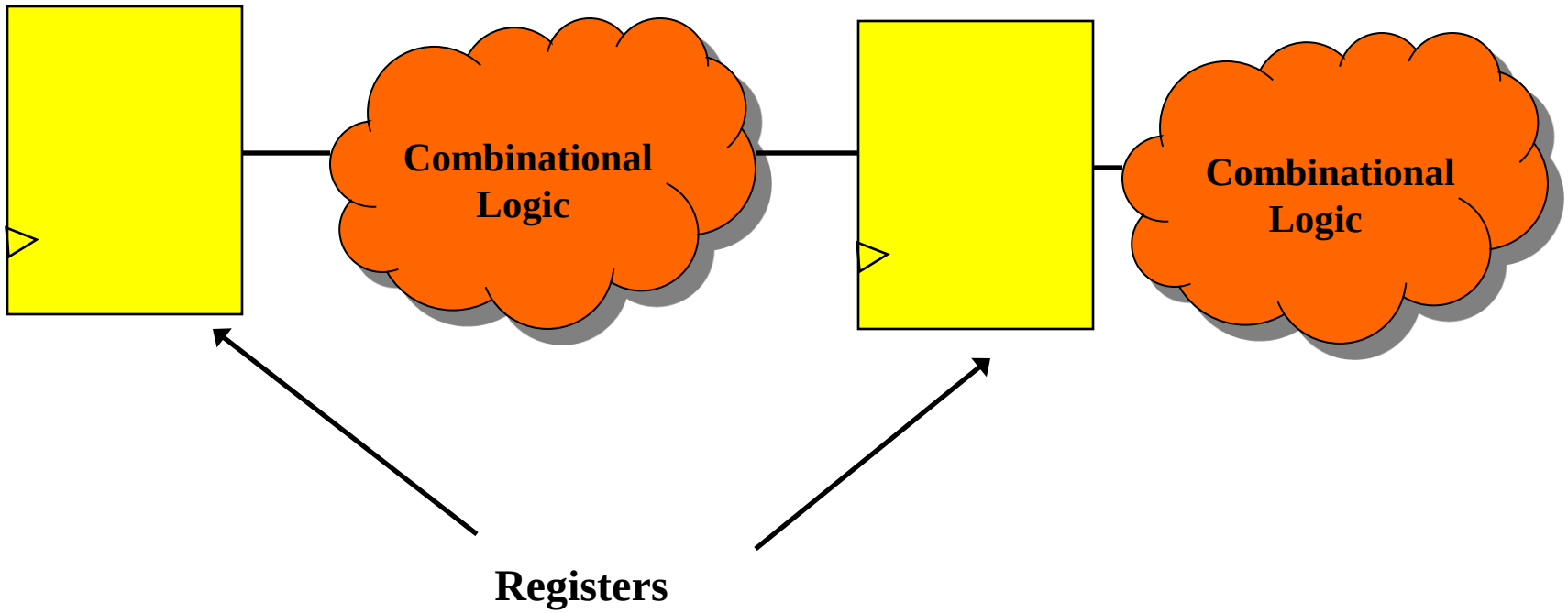
سطوح تجرید



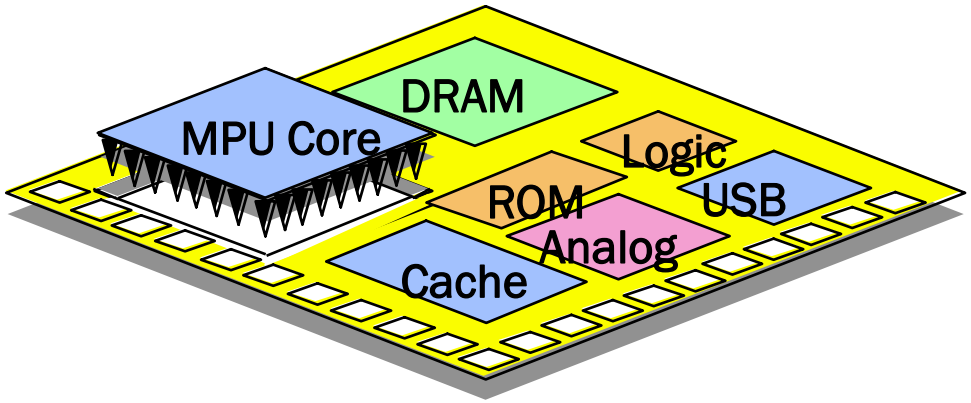
Level of description
most suitable for synthesis

Iran's Center for Integrated Circuits (ICIC)

Register Transfer Logic (RTL)



مقدمه ای بر طراحی ASIC و FPGA



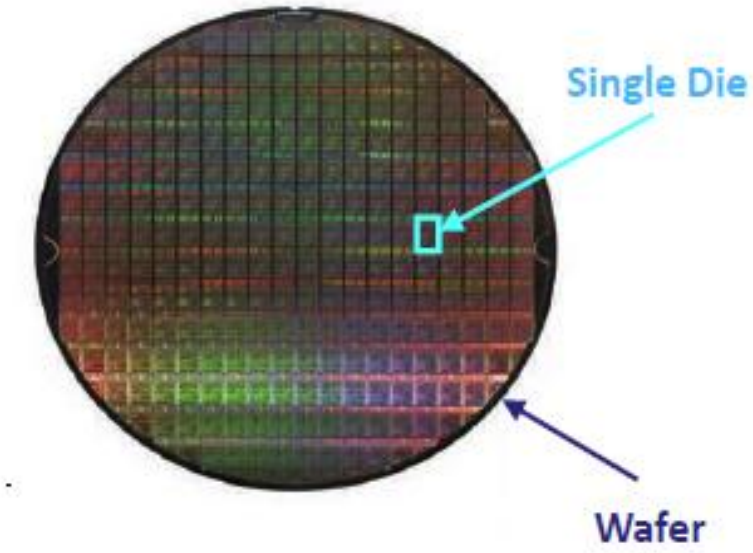
- تاریخچه طراحی IC
- بررسی انواع ICها
- روندهای مختلف طراحی
- ASIC در مقایسه با FPGA
- سطوح تجرید طرح
- پارامترهای مهم طراحی
- لی اوت
- Chip Packaging

Iran's Center for Integrated Circuits (ICIC)

پارامترهای مهم طراحی

پارامترهای مختلف یک طرح:

- هزینه
- سرعت
  - مساحت(μm^2)
  - تاخیر(ns)
  - فرکانس کاری(MHZ)
- مصرف توان
- قابلیت اطمینان در برابر نویز
- به ویژه نویز Crosstalk

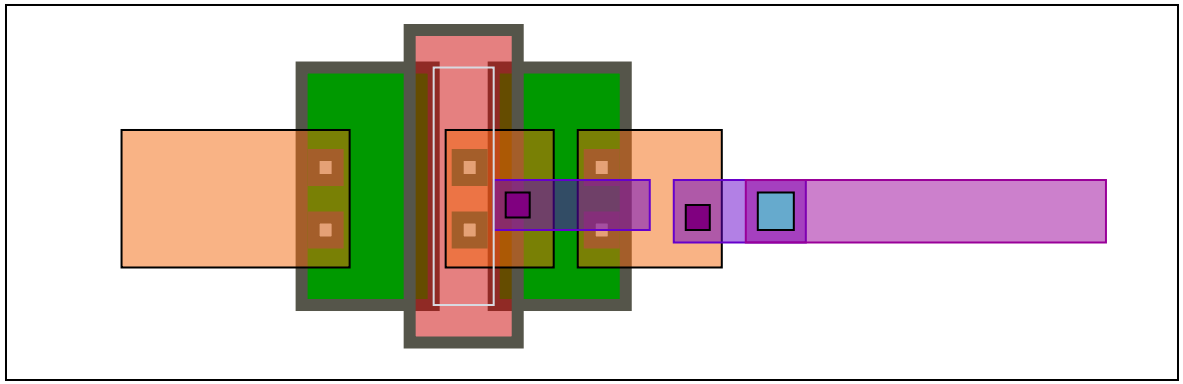


Diameter : 10 -30 cm
Thickness : 1mm

Iran's Center for Integrated Circuits (ICIC)

مقدمه ای بر طراحی ASIC و FPGA

- تاریخچه طراحی IC
- بررسی انواع ICها
- روندهای مختلف طراحی
- ASIC در مقایسه با FPGA
- سطوح تجرید طرح
- پارامترهای مهم طراحی
- لی اوت
- Chip Packaging



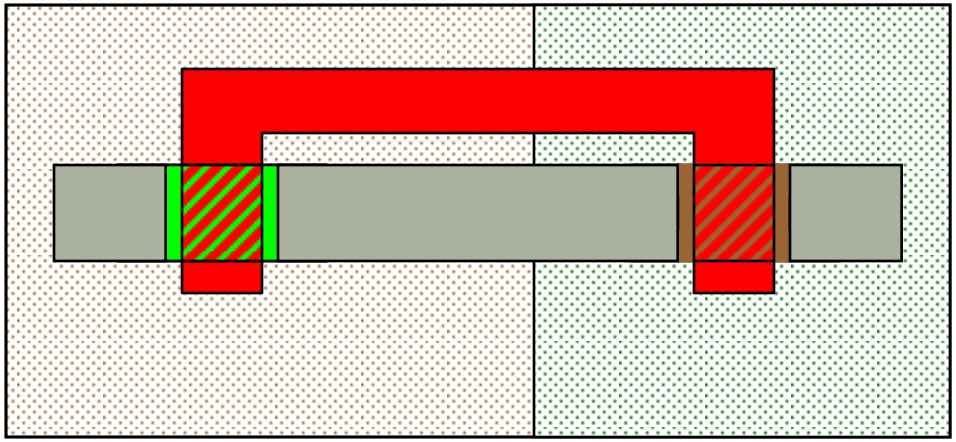
Iran's Center for Integrated Circuits (ICIC)

لی اوت

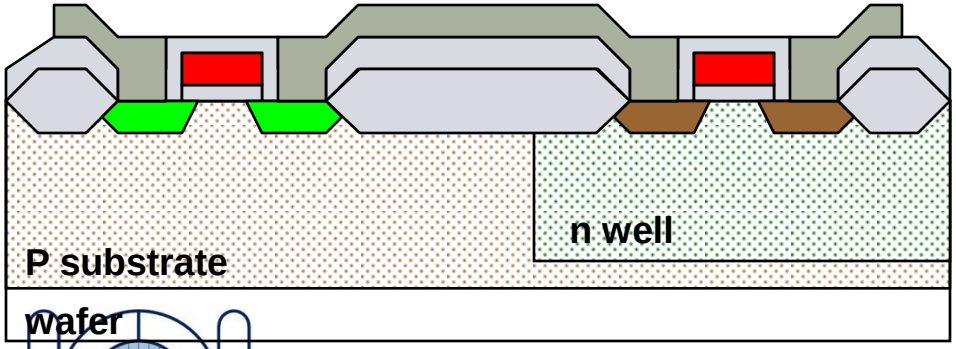
- هر چیپ از لایه های مختلفی تشکیل شده است.
- اندازه طول کانال ترنزیستور(L) اندازه تکنولوژی را تعیین میکند که به آن Feature Size یا Lmin گویند.
- Lmin برابر است با مینیمم فاصله سورس از درین
- Lmin هر ۳ سال ۳۰٪ بهبود می یابد.
- هنگام توضیح در مورد قواعد طراحی، به منظور نرمال سازی به جای Lmin از λ استفاده میکنیم.

Iran's Center for Integrated Circuits (ICIC)

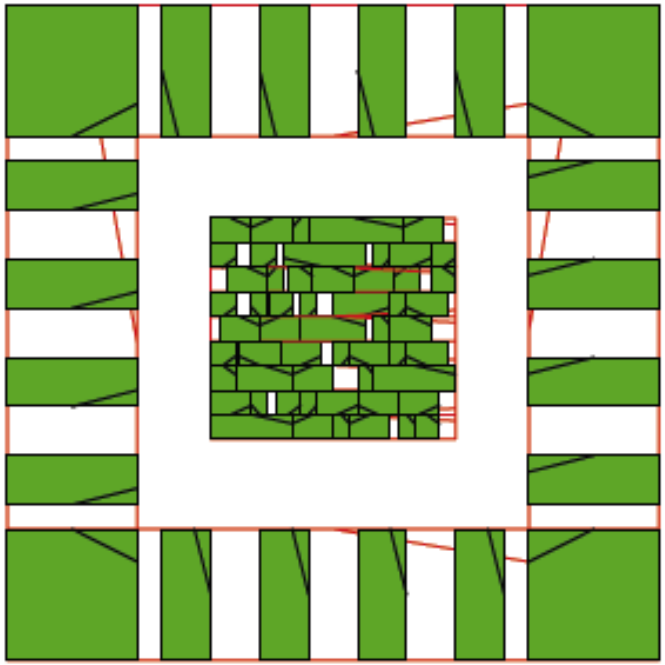
لی اوت



هر لایه در لی اوت مکان المان لی اوت شده را مشخص می کند و دارای یک کد رنگ است که این کد نشانگر آن لایه می باشد.



لی اوت دیجیتال

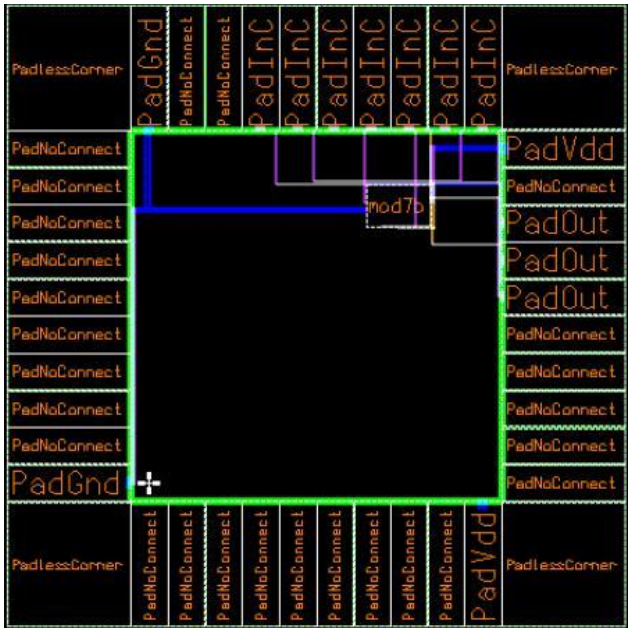


سلولهای استاندارد در فضای طرح جانمایی شده و توسط لایه های مختلف متال مسیریابی می شوند.

Iran's Center for Integrated Circuits (ICIC)

لی اوت دیجیتال

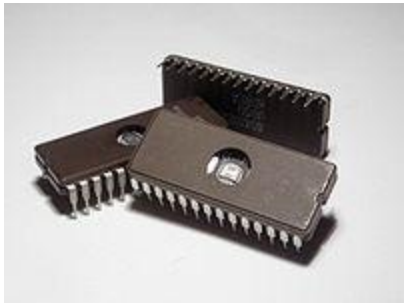
- پینهای ورودی و خروجی توسط پدهای I/O به همراه پدهای توان (VDD و VSS) در اطراف چیپ قرار می گیرند.
- پدها توسط شرکت نیمه هادی طراحی شده و بصورت آماده در اختیار کاربر قرار می گیرد.



Iran's Center for Integrated Circuits (ICIC)

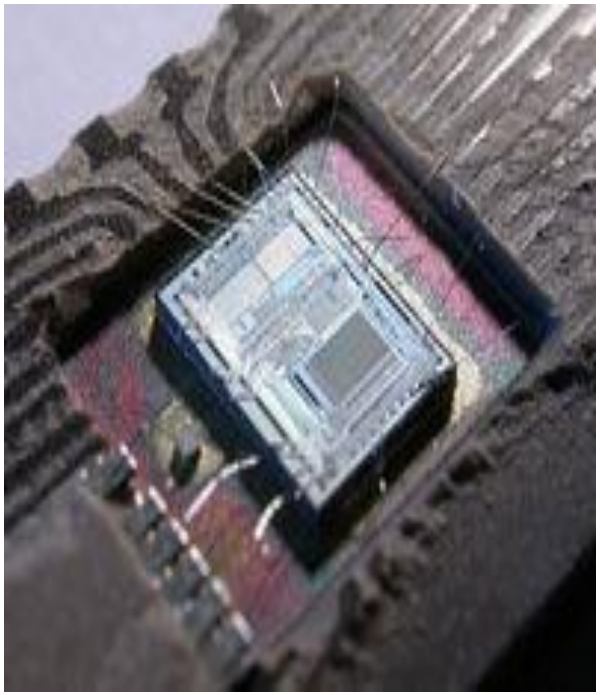
مقدمه ای بر طراحی ASIC و FPGA

- تاریخچه طراحی IC
- بررسی انواع ICها
- روندهای مختلف طراحی
- ASIC در مقایسه با FPGA
- سطوح تجرید طرح
- پارامترهای مهم طراحی
- لی اوت
- Chip Packaging



Iran's Center for Integrated Circuits (ICIC)

Packaging Chip



Die در واقع واسط چیپ با دنیای خارج است.

- ✓ از گرم شدن چیپ جلوگیری می کند.
- ✓ از چیپ در برابر رطوبت محافظت می کند.
- ✓ فرم مکانیکی چیپ را بهبود می بخشد.

Iran's Center for Integrated Circuits (ICIC)

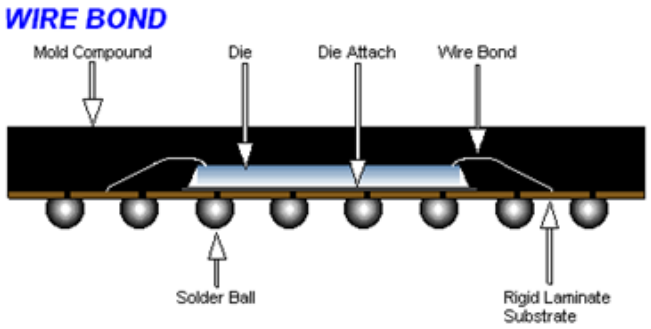
قرار دادن Die در Package

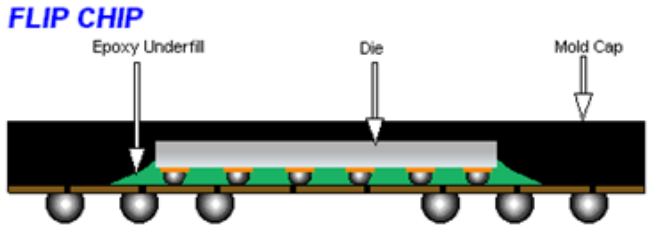
Wire bonding

- ☺ تعداد پینهای کم
- ☺ اتصالات بصورت سریال برقرار می شود.
- ☺ قطر سیمها 15µm و در IC با توان بالا 250-400µm
- ☺ پدها باید در چهار طرف چیپ قرار گیرند.
- ✘ سیمها در کنار هم می توانند نویز Cross Talk ایجاد کنند.

Flip-chip bonding

- ☺ تعداد پینهای زیاد
- ☺ اتصالات بصورت همزمان برقرار می شود.
- ☺ پدها در هر نقطه از چیپ می توانند قرار گیرند.
- ☺ اثر نویز Cross Talk بسیار کم است.



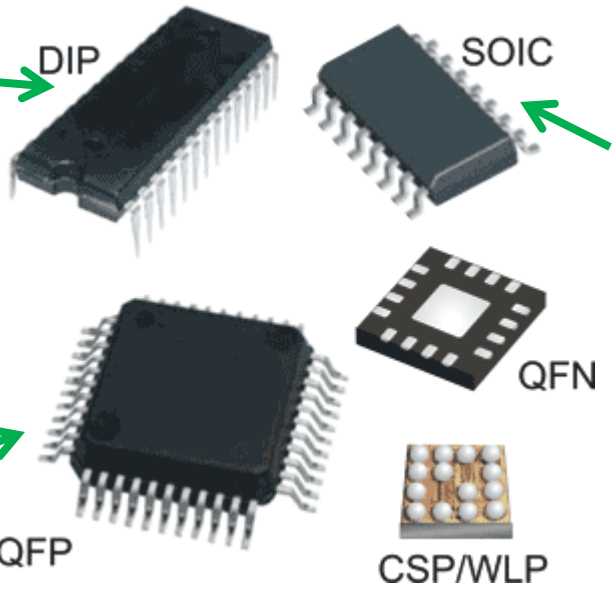


Iran's Center for Integrated Circuits (ICIC)

Packaging

- انواع Package از نظر مواد سازنده آن:
  - پلاستیک (ارزان تر)
  - سرامیک (با قدرت انتقال حرارت بیشتر)
- انواع Package ها

Dual Inline Package



Small Outline Integrated Circuit

Quad Flat Package

Iran's Center for Integrated Circuits (ICIC)

فهرست مطالب

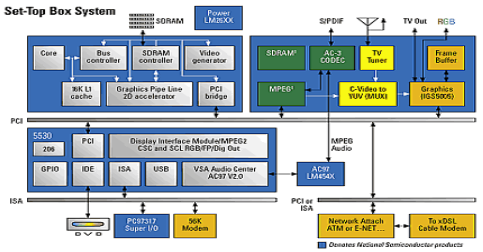
- مقدمه ای بر طراحی ASIC و FPGA
- روند طراحی ASIC
- مفاهیم سنتز
- جانمایی و مسیریابی

Iran's Center for Integrated Circuits (ICIC)

روند طراحی ASIC

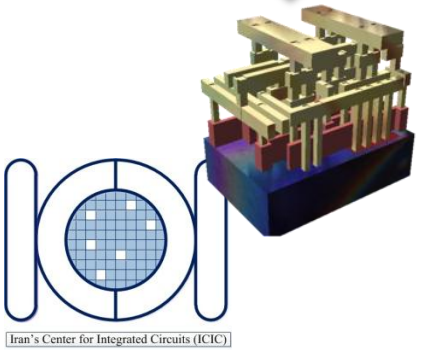
Idea

Architecture Design



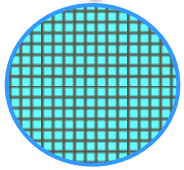
Block diagram

Circuit & Layout Design



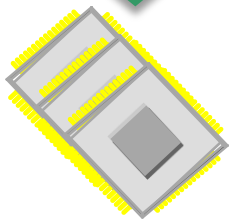
Layout

IC Fabrication



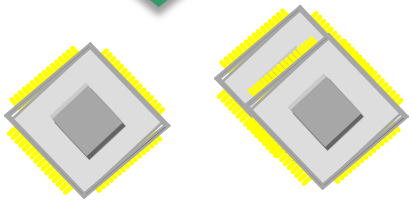
Wafer (hundreds of dies)

Sawing & Packaging



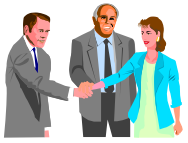
Final chips

Testing



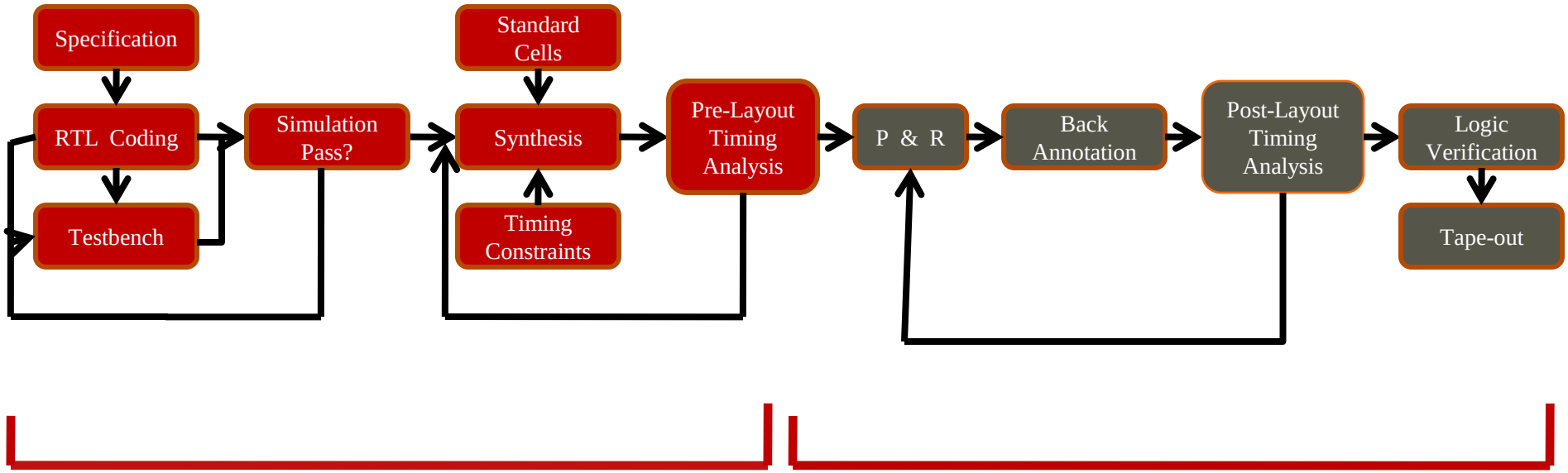
Bad chips

Good chips



customers

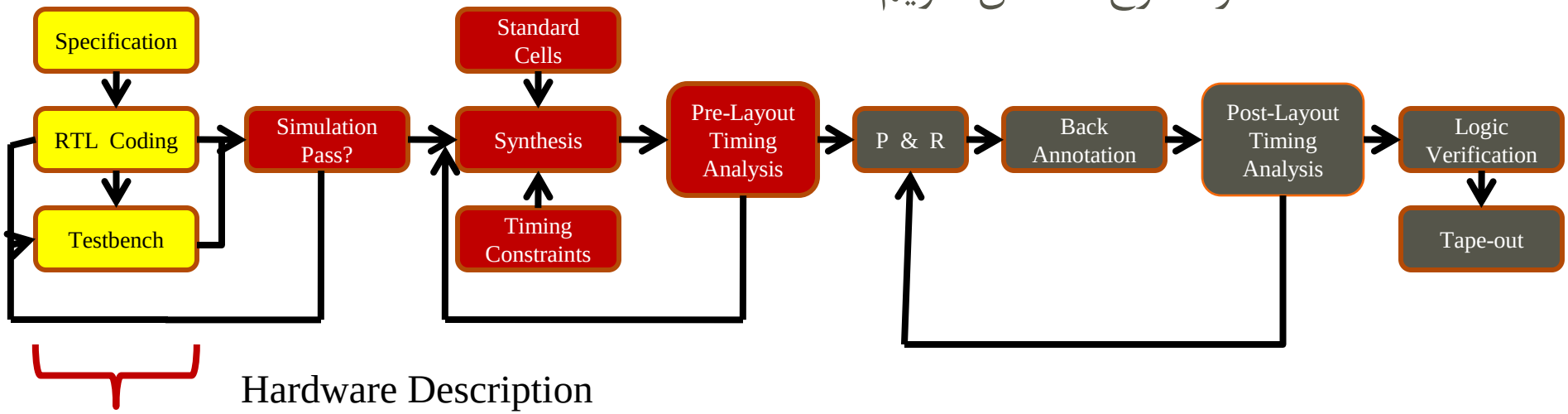
روند طراحی ASIC



Iran's Center for Integrated Circuits (ICIC)

توصیف سخت افزار

- توصیف سخت افزار توسط یک زبان برنامه نویسی سخت افزاری مانند VHDL یا Verilog صورت می گیرد. این توصیف می تواند بصورت رفتاری، ساختاری یا RTL باشد.
- پس از توصیف سخت افزار باید عملیات شبیه سازی بر روی طرح صورت گیرد تا از صحت عملکرد طرح مطمئن شویم.



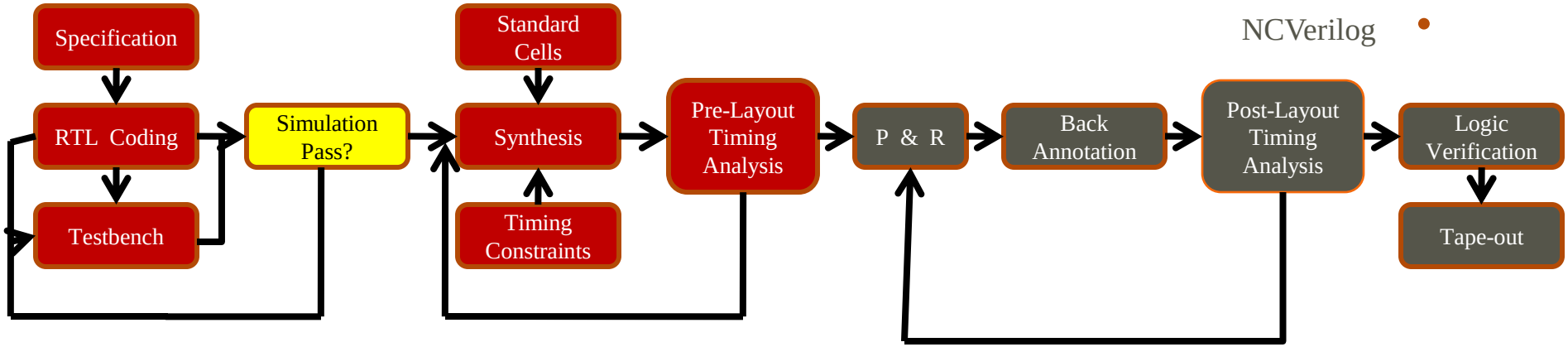
Iran's Center for Integrated Circuits (ICIC)

چرا از زبانهای HDL استفاده می کنیم؟

- طرحهای پیچیده توسط زبانهای HDL قابل توصیف است.
- می توانند به عنوان ورودی ابزار سنتز قرار گیرند.
- توصیفهای ساختاری و نمونه سازی را پشتیبانی می کنند.
- رفتار سطح بیت (bit-level) را پشتیبانی می کنند.
- زمانبندی طرح در آنها قابل اجرا است.
- بر خلاف زبانهای نرم افزاری همزمانی که خاصیت سیستمهای سخت افزاری است، قابل پیاده سازی است.

شبیه سازی

- بعد از کدنویسی HDL صحت عملکرد کد مورد نظر باید با استفاده از Testbench آزمایش شود.
- ابزارهای شبیه سازی
  - Synopsys VCS
  - Modelsim
  - NCVerilog



Iran's Center for Integrated Circuits (ICIC)

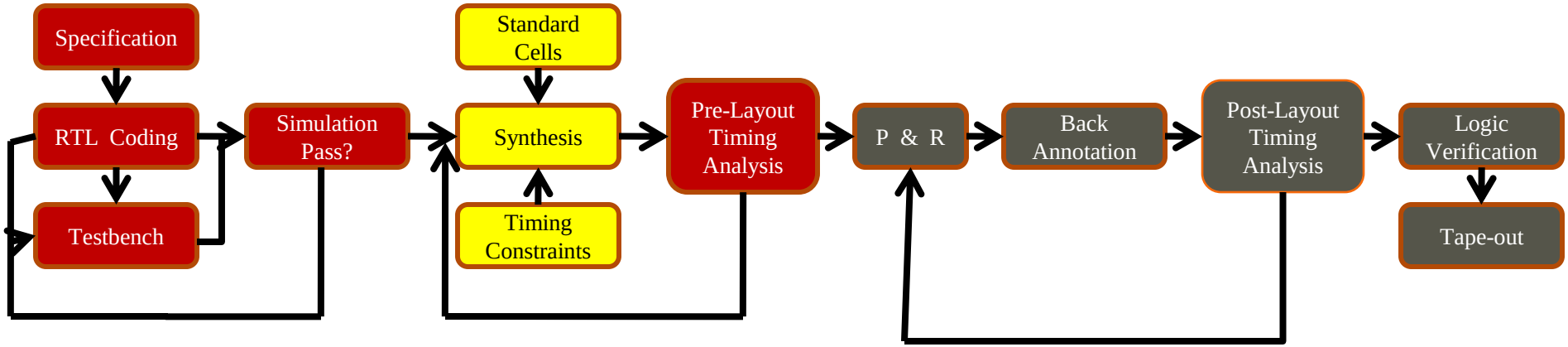
فهرست مطالب

- مقدمه ای بر طراحی ASIC و FPGA
- روند طراحی ASIC
- مفاهیم پایه سنتز
- جانمایی و مسیریابی (Placement and Routing)

Iran's Center for Integrated Circuits (ICIC)

سنتز

- سنتز فرایند تحلیل یک کد و استخراج یک مدار دیجیتالی برای توصیف های زبان سخت افزاری ما میباشد.
- کامپایلر سنتز می تواند کد VHDL یا Verilog را به نت لیست سخت افزاری تبدیل کند.
- نت لیست ، لیستی از واحدهای سخت افزاری و اتصالات داخلی بین آنها است.



Iran's Center for Integrated Circuits (ICIC)

سنتز

دستورات RTL به تابع منطقی که آنها را پیاده سازی میکند، تبدیل میشوند.

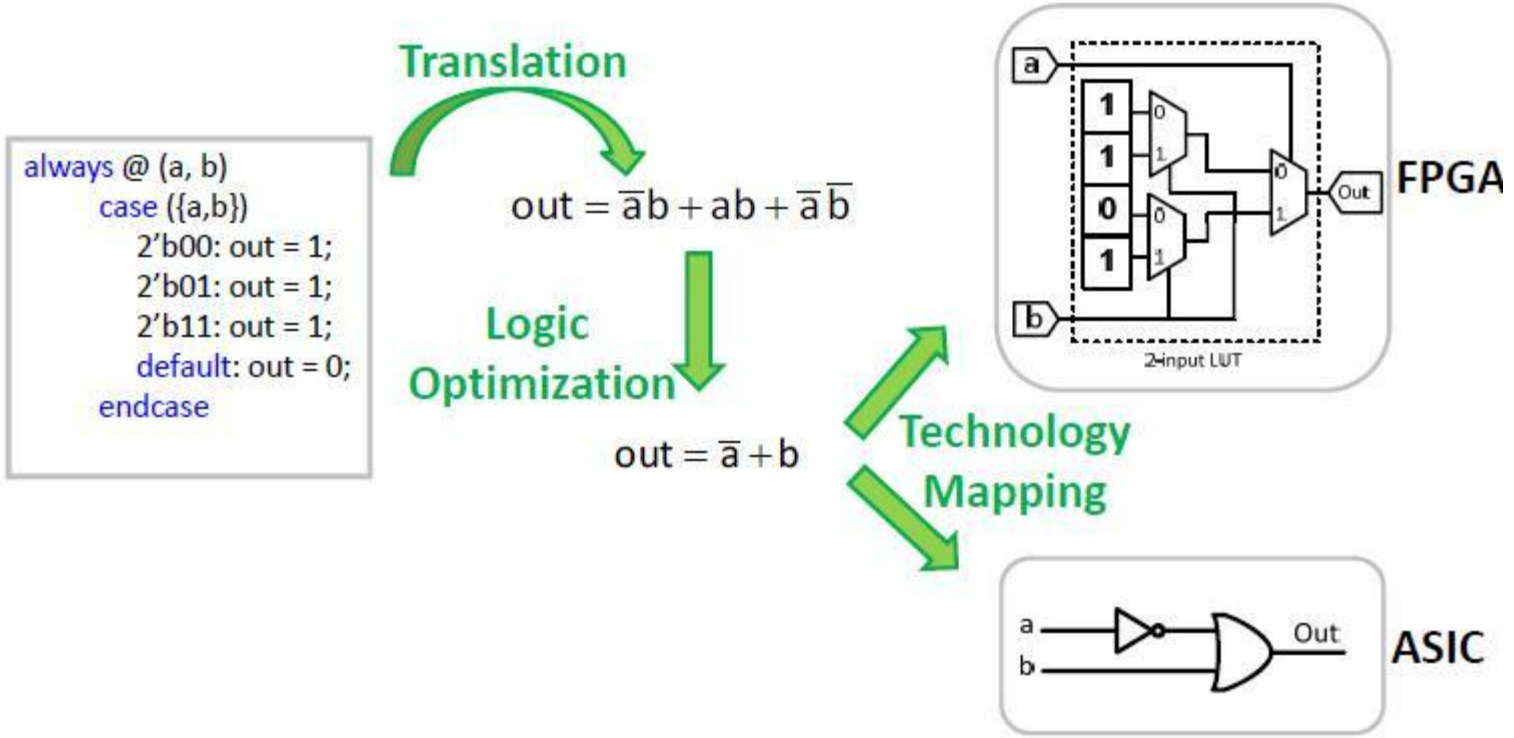
توابع منطقی ساده شده تا بتوان با حداقل سخت افزار ممکن و با همان عملکرد، تابع را پیاده سازی کرد.

در زمان نگاشت تکنولوژی، توابع ساده شده با استفاده از کتابخانه هایی که عبارات منطقی را به معادل سخت افزاری آنها تصویر میکند، به سطح گیت تبدیل میشوند.

سنتز
- ترجمه (Translation)
- بهینه سازی (Optimization)
- نگاشت تکنولوژی (Technology Mapping)

Iran's Center for Integrated Circuits (ICIC)

سنتز



Iran's Center for Integrated Circuits (ICIC)

ابزارهای سنتز کننده

Vendor Name	Product Name	Platform
Altera	Quartus II	FPGA
Xilinx	ISE	FPGA
Mentor Graphics	Precision	FPGA/ASIC
Synopsys	Design Compiler, Galaxy	ASIC
Synopsys	Synplify	FPGA/ASIC
Cadence	Ambit, BG, RC	ASIC

Iran's Center for Integrated Circuits (ICIC)

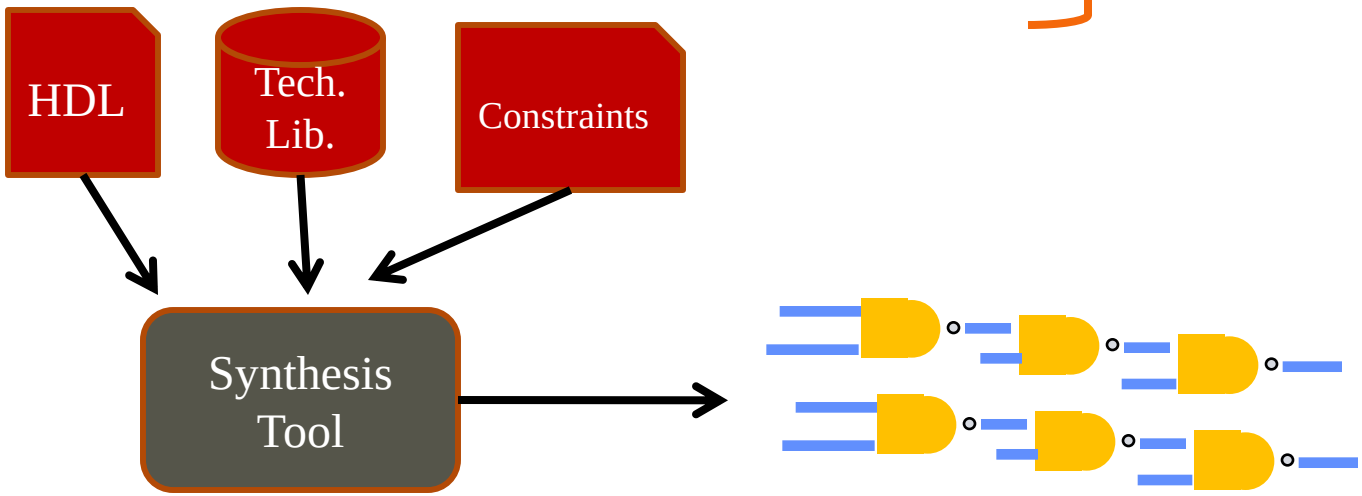
ورودیها و خروجیهای ابزارهای سنتز کننده

ورودیها

- کد HDL طرح
- فایلهای کتابخانه تکنولوژی
- فایلهای محدودیت

خروجیها

- نت لیست سطح گیت
- فایلهای زمانبندی طرح (.sdf)



Iran's Center for Integrated Circuits (ICIC)

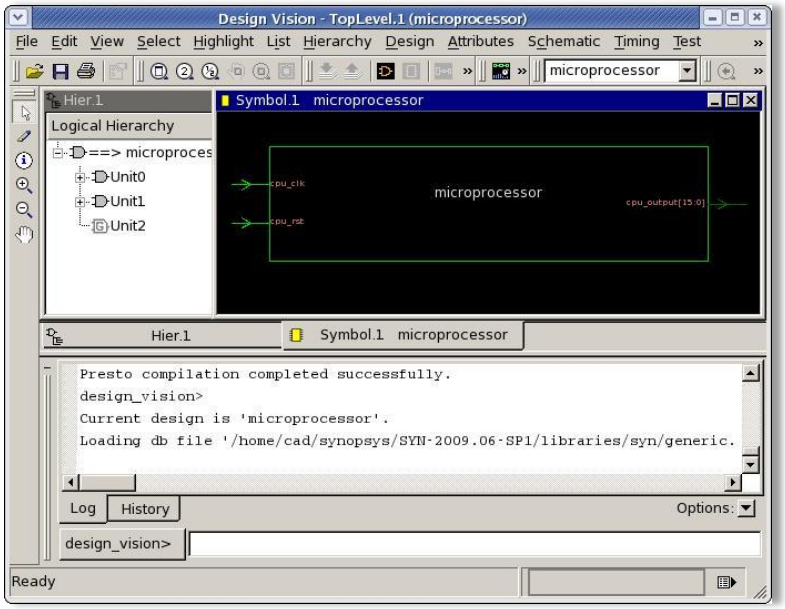
Design Compiler

ابزار سنتزی که ما در اینجا از آن استفاده می کنیم، نرم افزار Synopsys Design Compiler می باشد.

`dc_shell>` ← `dc_shell-t` ← Command line Interface

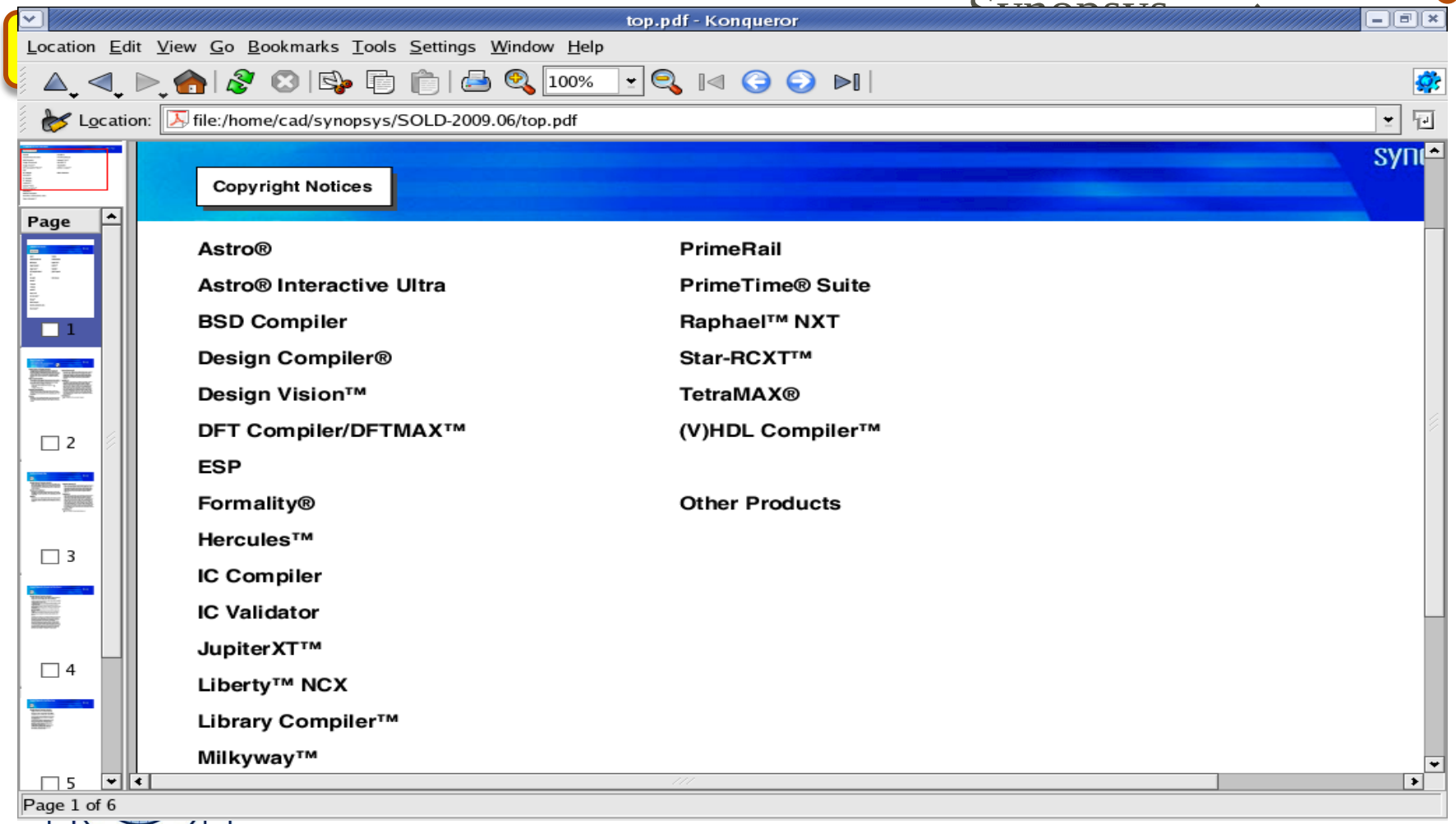
`design_vision &` ← Design Vision ← GUI

Design Compiler



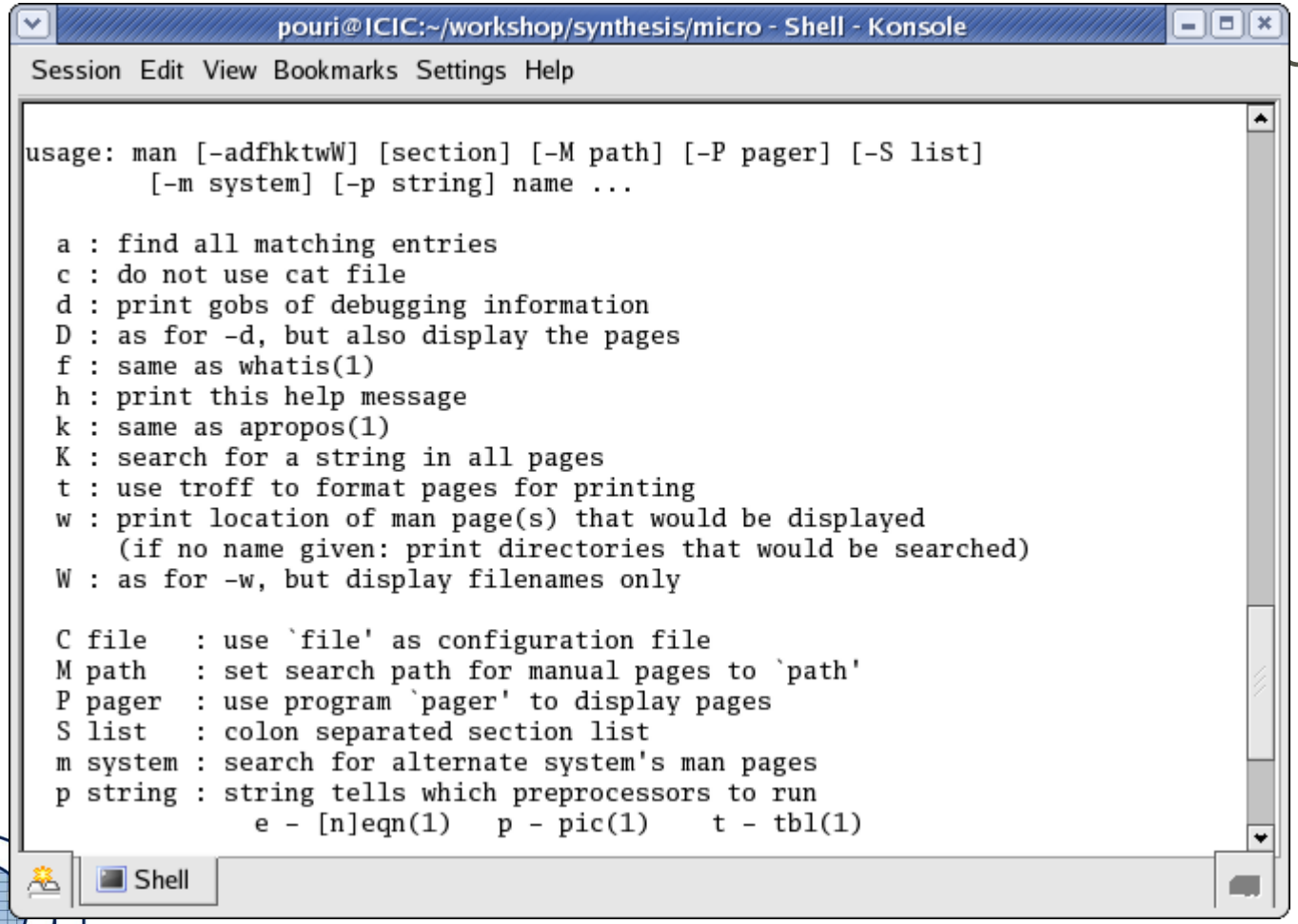
Iran's Center for Integrated Circuits (ICIC)

نحوه استفاده از Help



نحوه استفاده از Help

- دسترسی



Iran's Center for Integrated Circuits (ICIC)

محدودیتهای سنتز

شما باید محدودیتهای طرح خود را تعیین کنید.

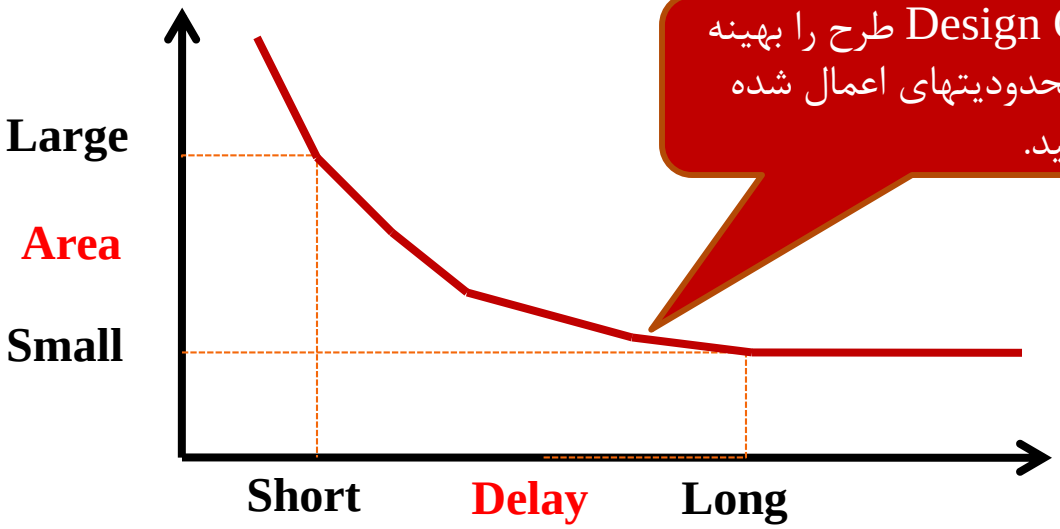
محدودیتهای سنتز

سرعت (Delay)

مساحت (Area)

توان مصرفی (Power Consumption)

Design Compiler طرح را بهینه کرده تا به محدودیتهای اعمال شده به طرح برسید.

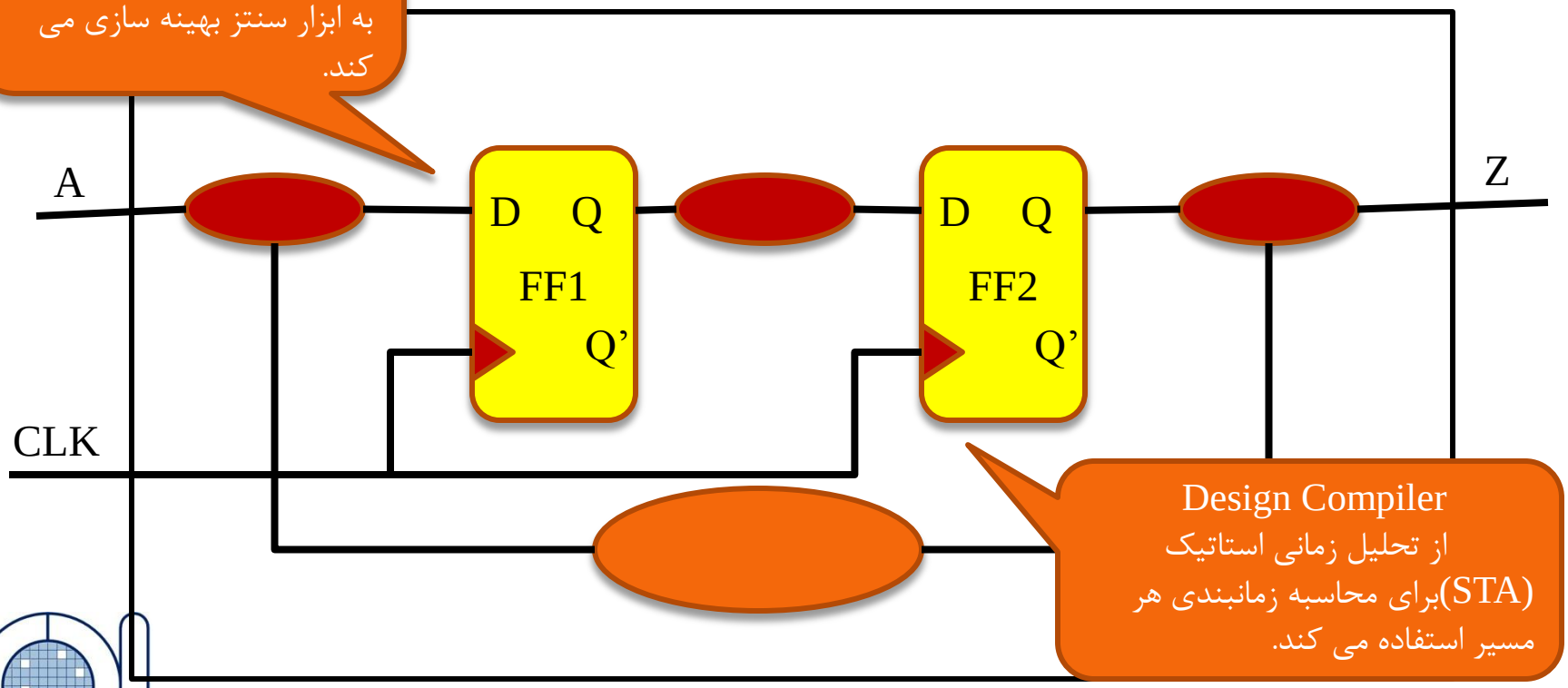


Iran's Center for Integrated Circuits (ICIC)

زمانبندی در Design Compiler

Design compiler طرح را به مسیرهای مختلفی می شکند و سپس زمانبندی آنها را بر اساس محدودیتهای اعمال شده به ابزار سنتز بهینه سازی می کند.

سنتز فرایندی است Path_based



Design Compiler از تحلیل زمانی استاتیک (STA)برای محاسبه زمانبندی هر مسیر استفاده می کند.

Iran's Center for Integrated Circuits (ICIC)

Design Compiler تنظیمات اولیه

Technology Libraries

DC Setup File

Iran's Center for Integrated Circuits (ICIC)

کتابخانه تکنولوژی

Technology Libraries

DC Setup File

Iran's Center for Integrated Circuits (ICIC)

کتابخانه تکنولوژی

```
cell ( OR2_3 ) {
    area : 8.000 ;
    pin ( Y ) {
        direction : output;
        timing ( ) {
            related_pin : "A" ;
            timing_sense : positive_unate ;
            rise_propagation (drive_3_table_1) {
               values ("0.2616, 0.2711, 0.2831,..)
            }
            rise_transition (drive_3_table_2) {
                values ("0.0223, 0.0254, ...)
                . . . .
        function : "(A | B)";
        max_capacitance : 1.14810 ;
        min_capacitance : 0.00220 ;
    }
    pin ( A ) {
        direction : input;
        capacitance : 0.012000;
            . . . .
```

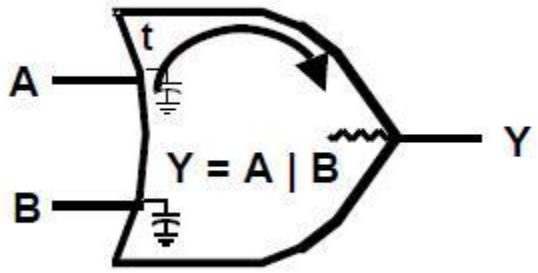
Cell Name

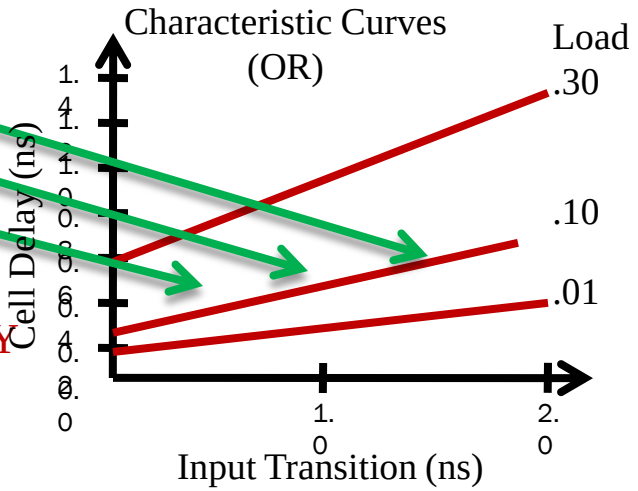
Cell Area (µm)

Pin Y Function

Design Rules for Pin Y

Electrical Characteristics of Pin A





Iran's Center for Integrated Circuits (ICIC)

DC Setup Files

Technology Libraries

DC Setup File

Iran's Center for Integrated Circuits (ICIC)

DC Setup Files

DC

s_dc.setup

Technology Library

دایرکتوری که در search_path مشخص می شود، دایرکتوریهایی است که محل کتابخانه های مختلف را مشخص

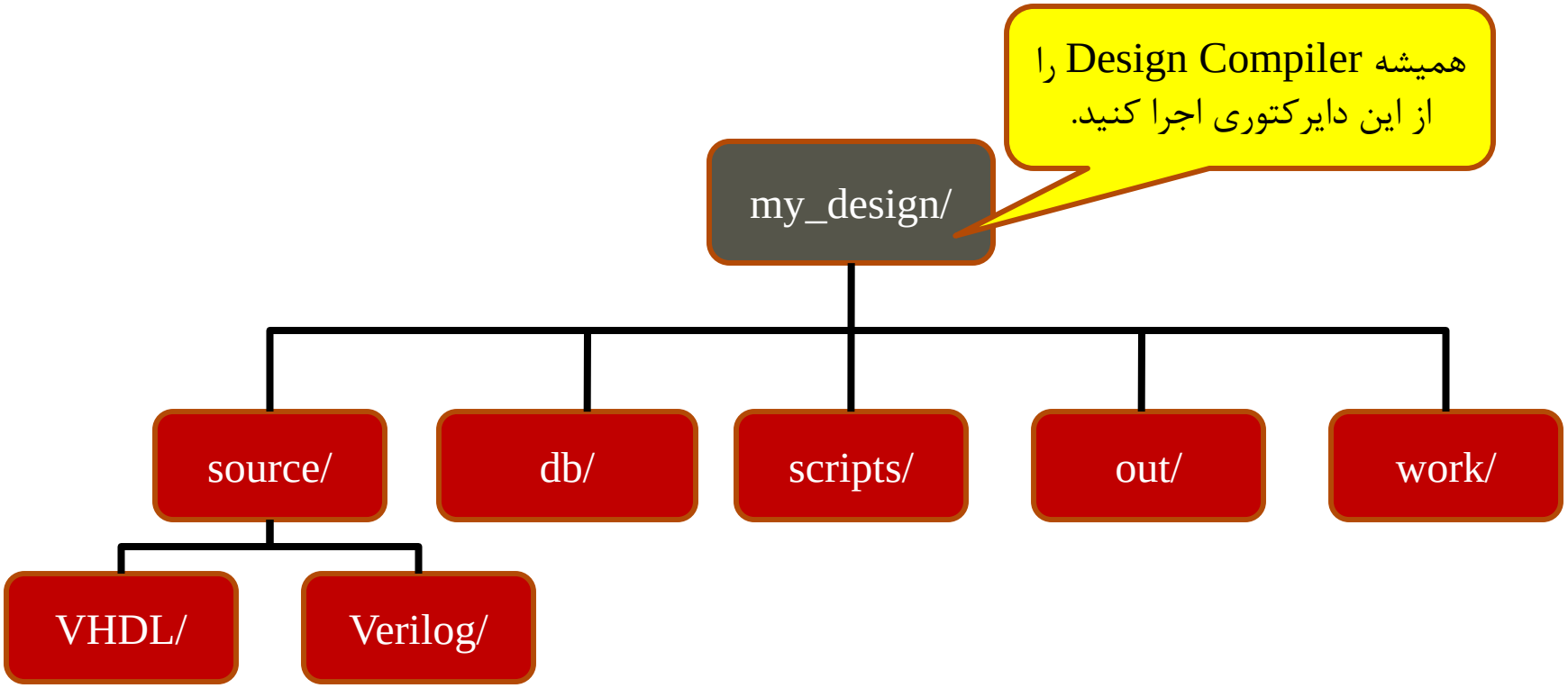
کتابخانه نسبت داده شده به متغیر target_library ، کتابخانه هدف است که توسط Design Compile برای ساخت مدار بکار میرود و در طول عملیات نگاشت، Design Compiler گیتهای با عملکرد صحیح را از این کتابخانه انتخاب می کند.

```
# synopsys      up file
set search_path "$sear      _path ./unmapped"
set target_library core_slow.db
set link_library "*  core_slo      "
set symbol_library core.sdb
```

link_library متغیری است که تمام ارجاعات به سلولهای طرح در آن مشخص شده است. بنابراین کتابخانه های موجود در target_library و در این متغیر مشخص می‌شوند.

متغیر symbol_library کتابخانه سمبلهای عناصر طرح را مشخص می کند.

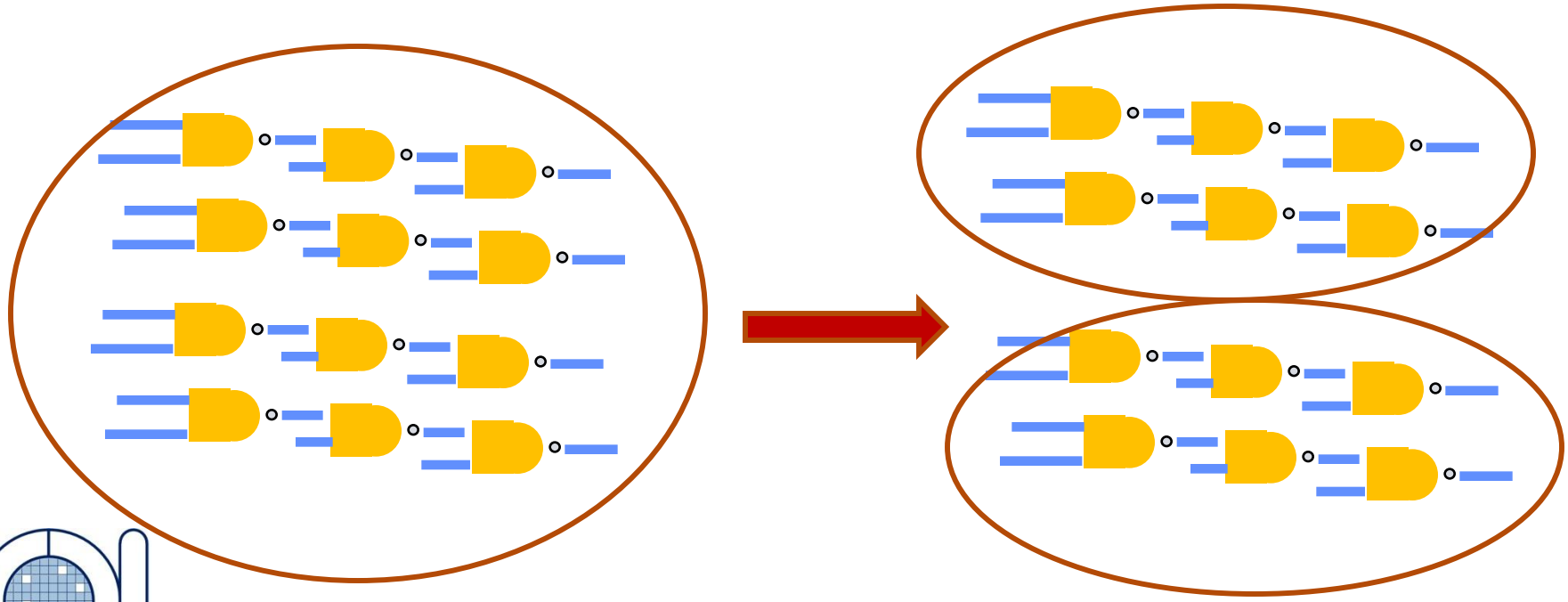
ساختار دایرکتوریها



Iran's Center for Integrated Circuits (ICIC)

جزءبندی (Partitioning)

جزءبندی به فرایند تقسیم یک طرح پیچیده به بخشهای کوچکتر اطلاق می شود بطوریکه تمام این بخشهای کوچک را بتوان توسط یک زبان HDL پیاده سازی نمود.



Iran's Center for Integrated Circuits (ICIC)

مزایای جزءبندی

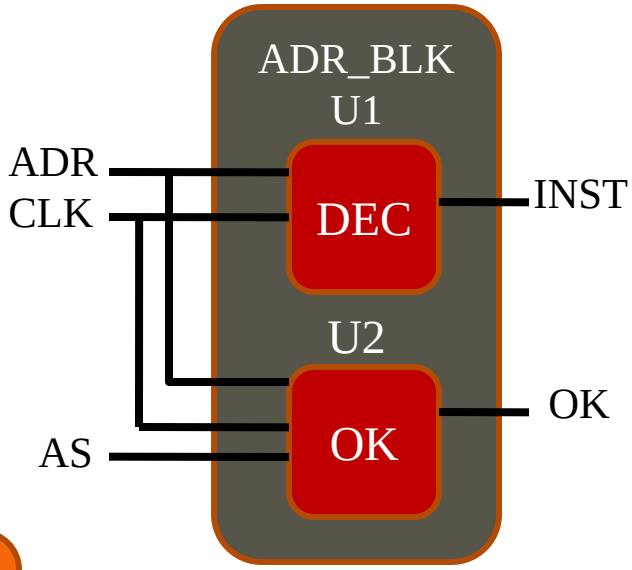
- ☑ جدا کردن قسمتهایی که دارای عملکرد مجزا هستند.
- ☑ رساندن طرح به اندازه و پیچیدگی که بتوان به راحتی بر روی آن کار کرد.
- ☑ مدیریت آسان تر طرح در یک تیم.
- ☑ قابلیت استفاده مجدد از اجزای پیاده سازی شده.
- ☑ اعمال آسان تر محدودیت ها به طرح فیزیکال و رسیدن به اهداف طرح.
- ☑ نتایج بهتر در نتیجه وجود طرح های کوچکتر و سریعتر

جزء بندی در VHDL و Verilog

دستورات *entity* در VHDL و *module* در Verilog ، بلوکهای سلسله مراتبی تولید میکنند.

```
entity ADR_BLK  is… end
architecture STR of ADR_BLK is
U1:  DEC  port  map (ADR, CLK, INST);
U2:  OK port  map (ADR, CLK, AS, OK);
end STR;
```

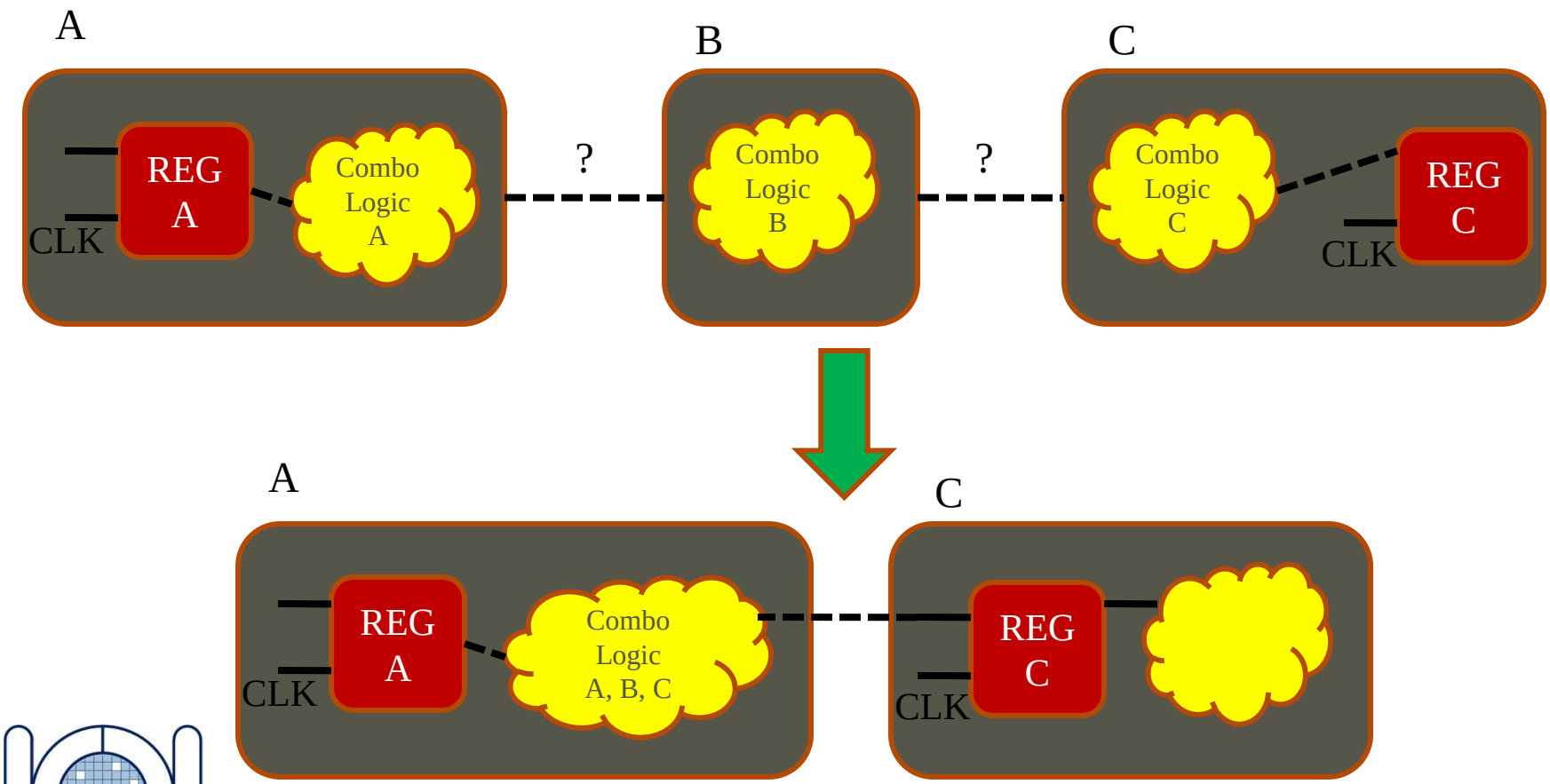
```
module ADR_BLK (….
DEC U1 (ADR, CLK, INST);
OK  U2 (ADR, CLK, AS, OK);
endmodule;
```



کدهای محاسباتی که در آن از + ، - ، * ، … استفاده می‌شود نیز باعث ایجاد سلسله مراتب در طرح می گردد (مثل ساختار ALU)

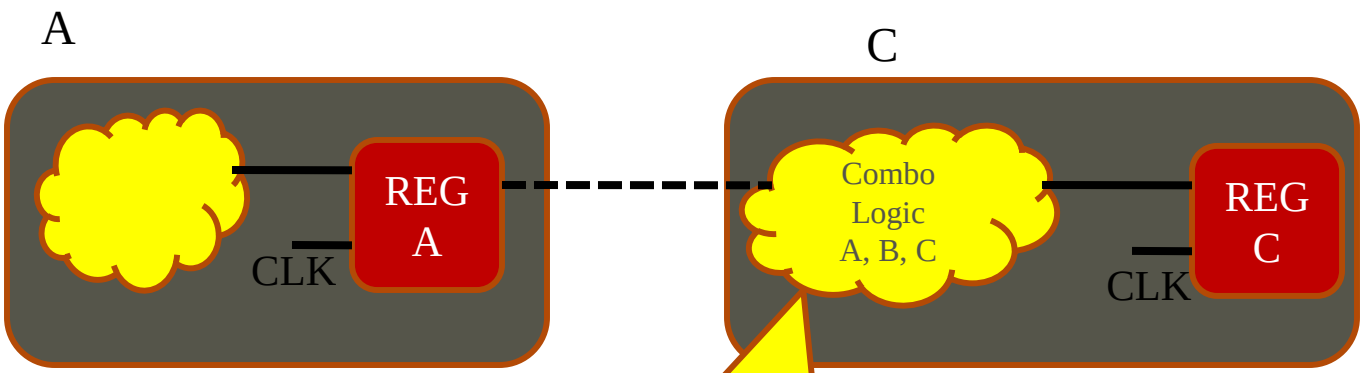
Iran's Center for Integrated Circuits (ICIC)

جزء بندی مناسب



Iran's Center for Integrated Circuits (ICIC)

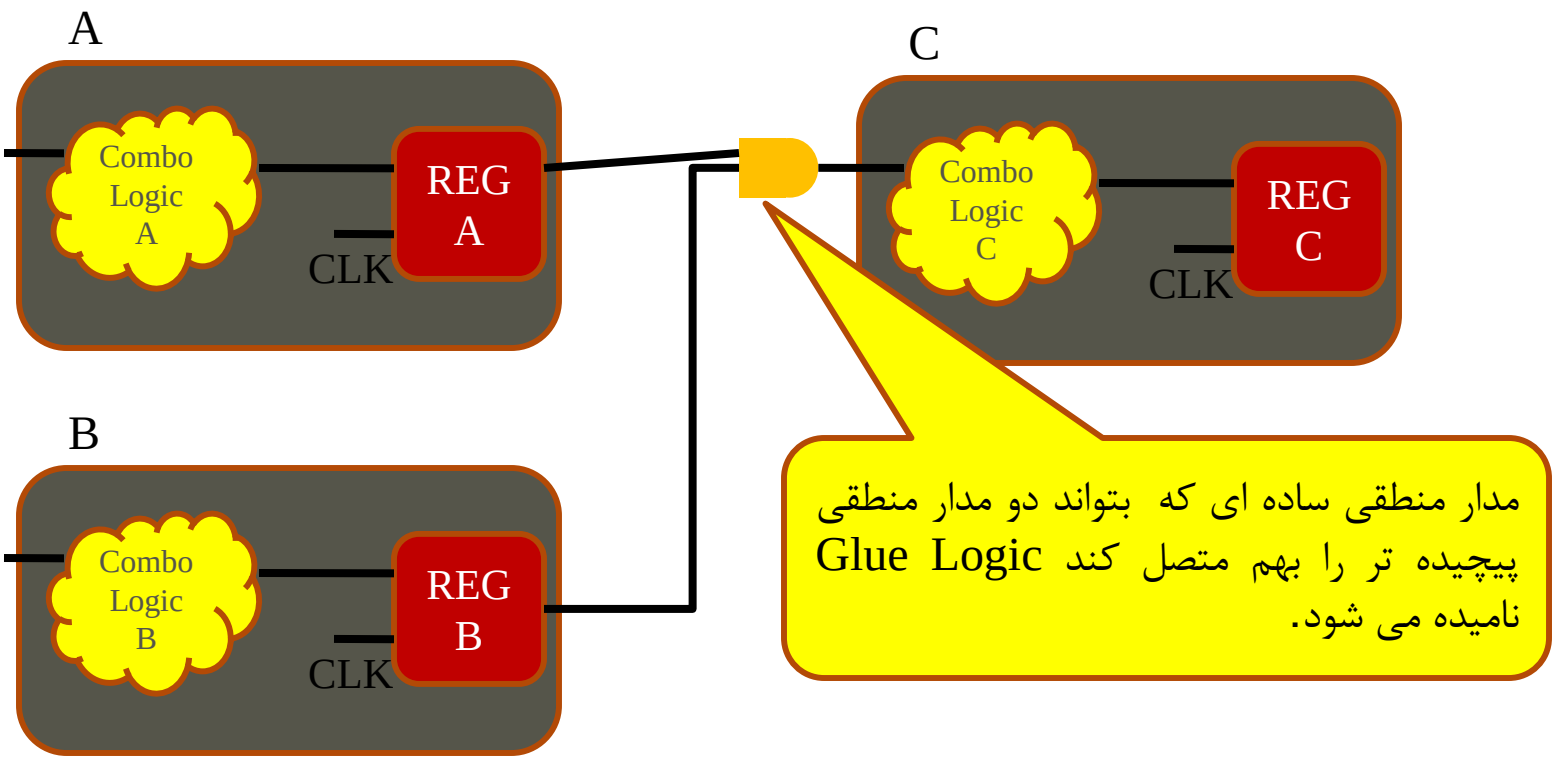
جزء بندی مناسب



روش موثرتر این است که منطق های ترکیبی وابسته بهم در بلوکی که رجیستر مقصد در آن قرار دارد ترکیب شود.

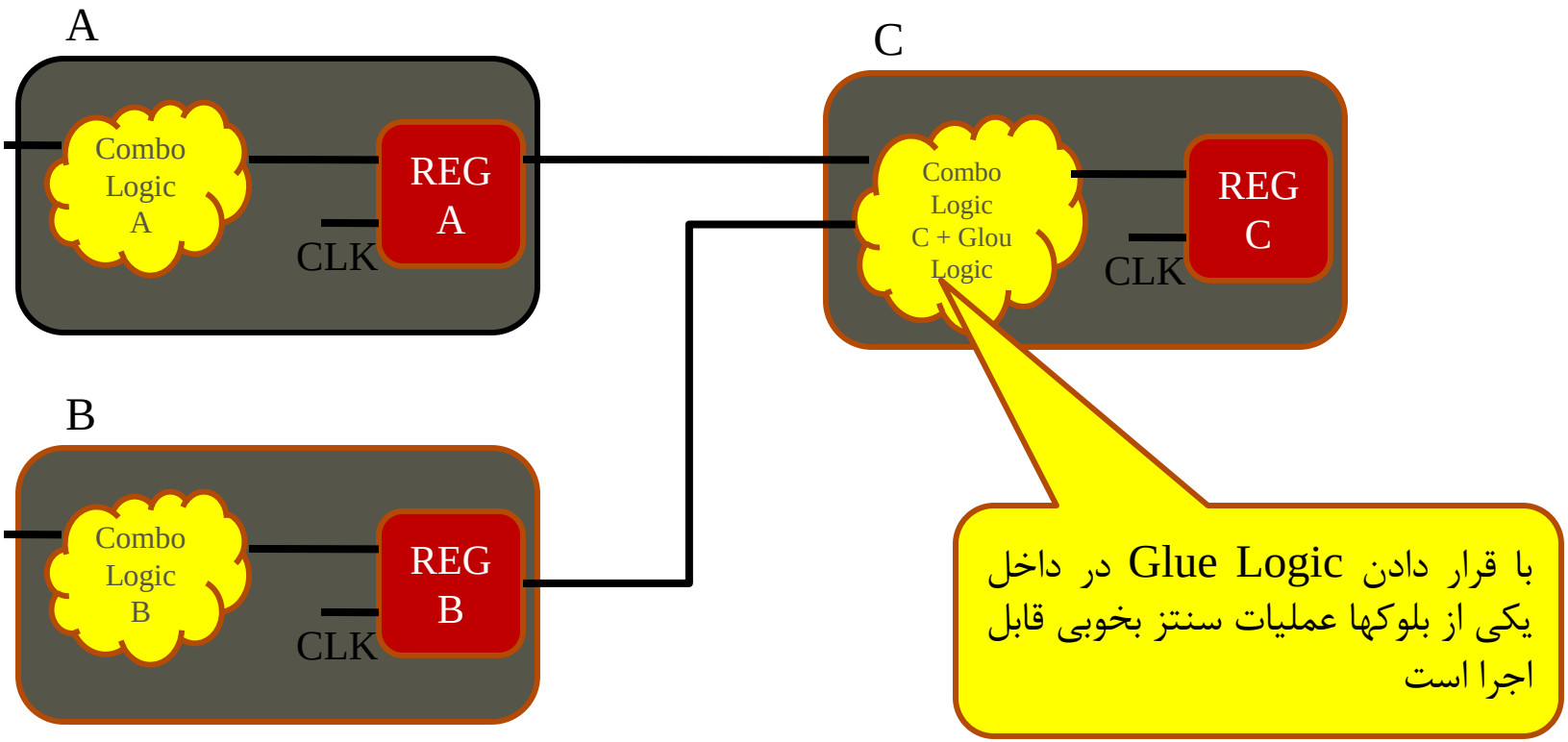
Iran's Center for Integrated Circuits (ICIC)

Glue Logic



Iran's Center for Integrated Circuits (ICIC)

اجتناب از Glue Logic



Iran's Center for Integrated Circuits (ICIC)

جزء بندی

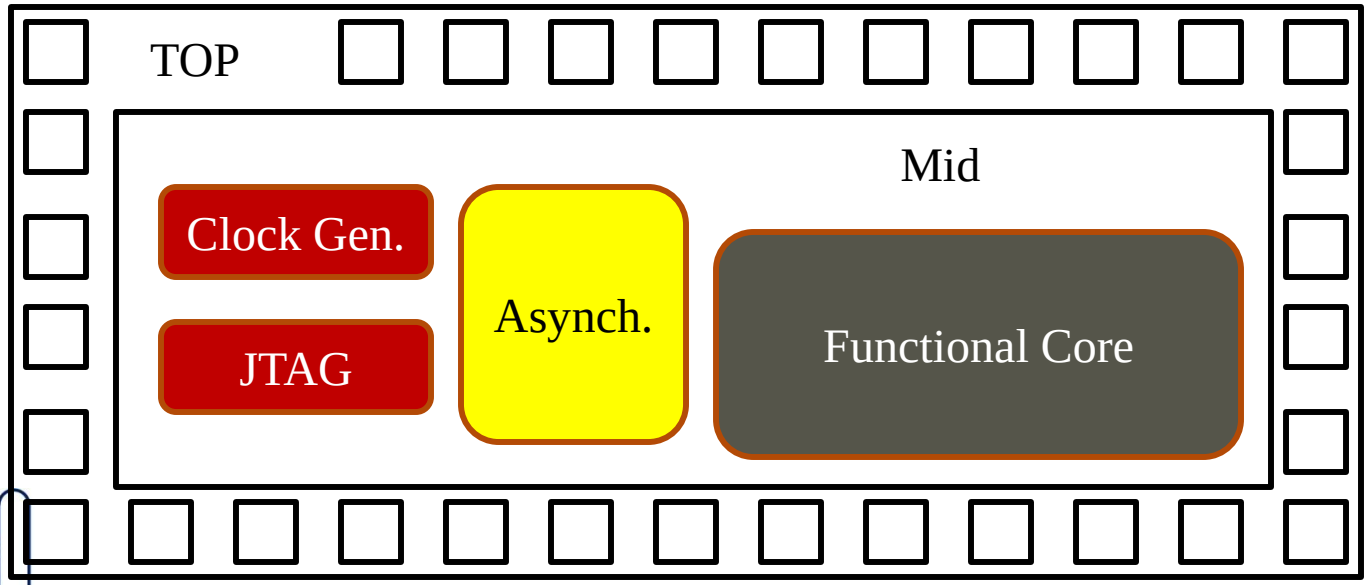
در جزءبندی، Core Logic، کلاکها، پدها، JTAG را از هم جدا کنید.

سلسله مراتب طرح

Top_level

Mid_level

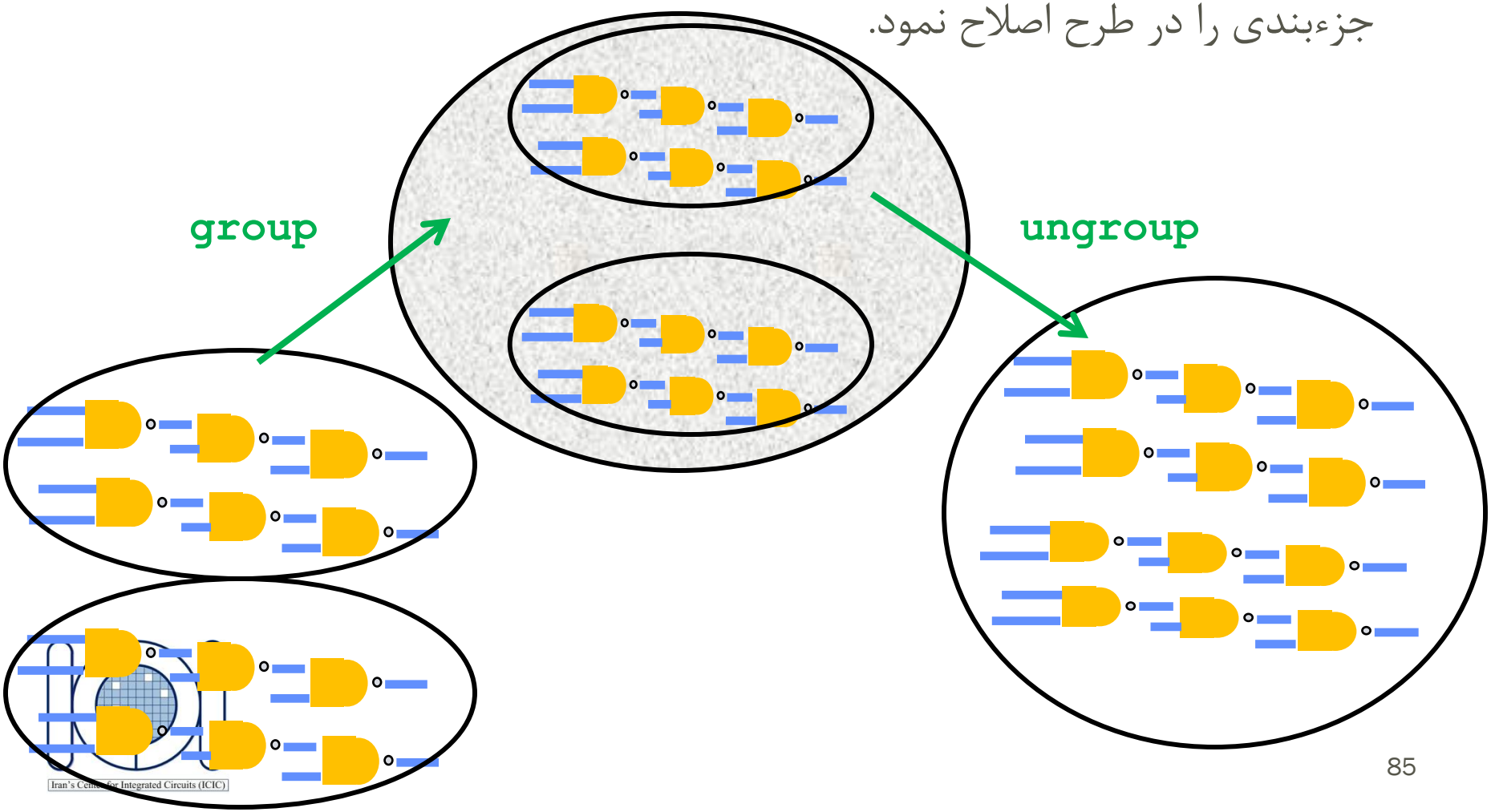
Functional Core



Iran's Center for Integrated Circuits (ICIC)

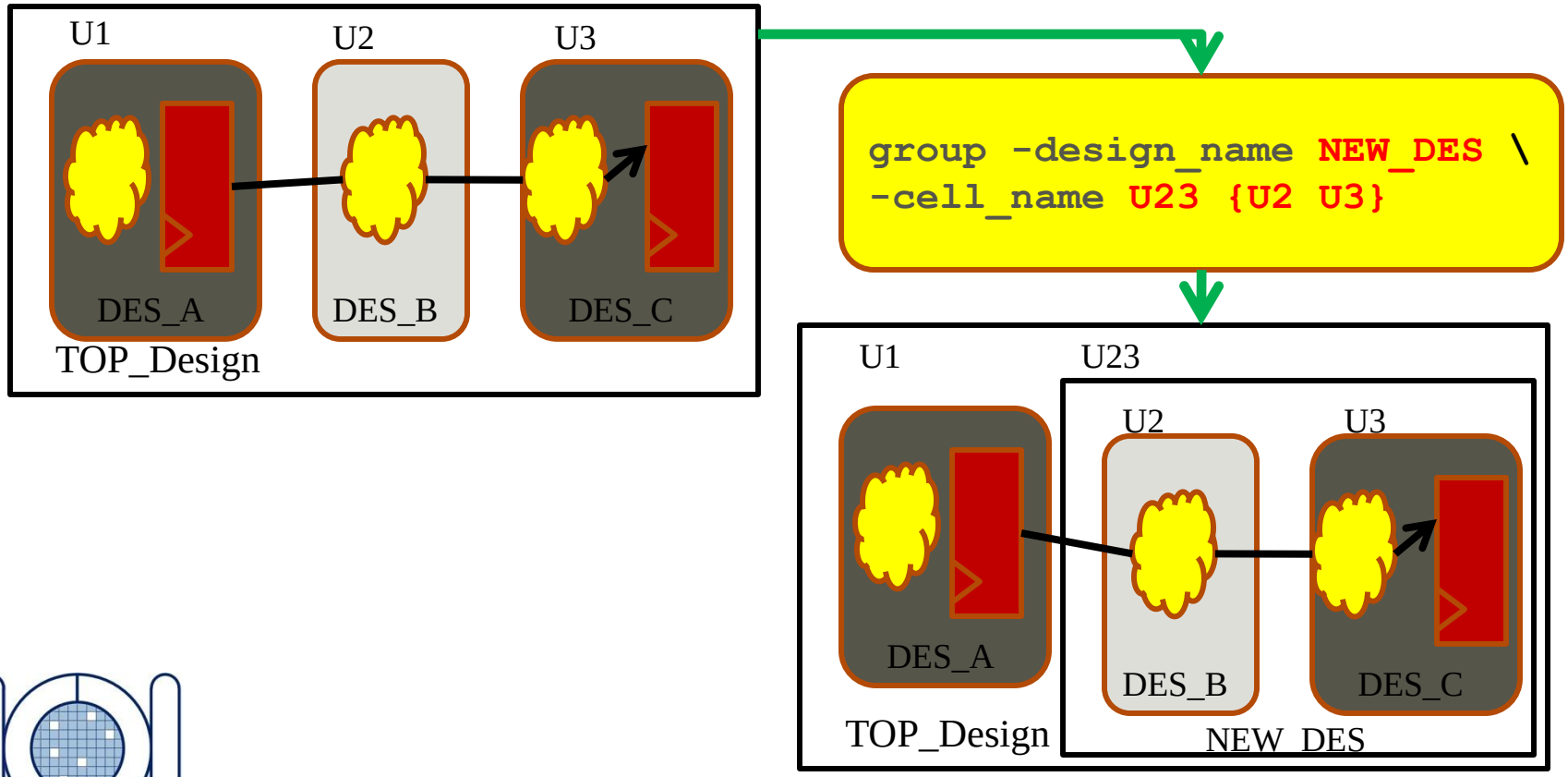
جزء بندی در Design Compiler

در Design Compiler با استفاده از دو دستور **group** و **ungroup** می توان جزءبندی را در طرح اصلاح نمود.



دستور group

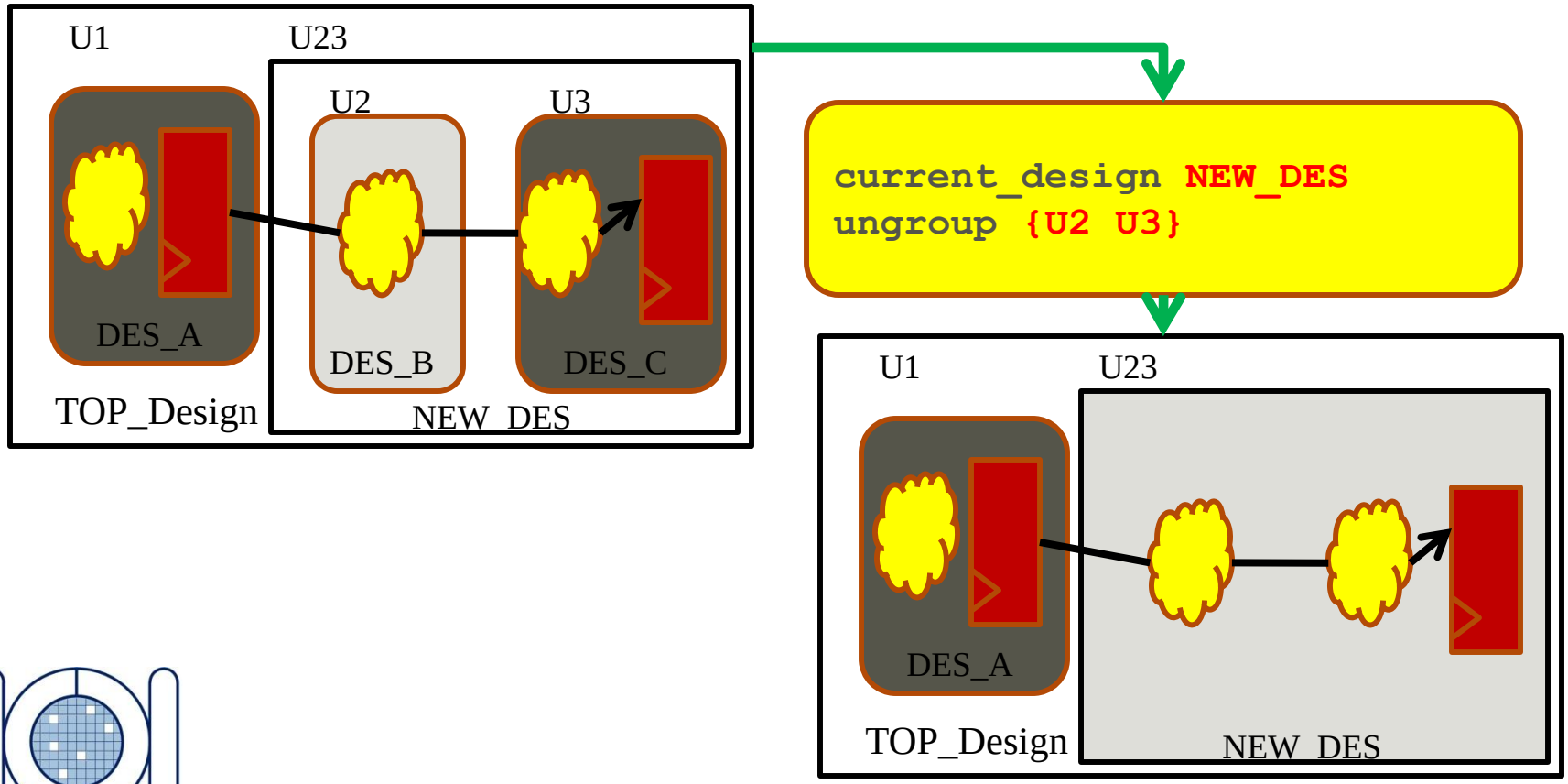
دستور **group** می تواند یک سلسله مراتب جدید در طرح ایجاد نماید.



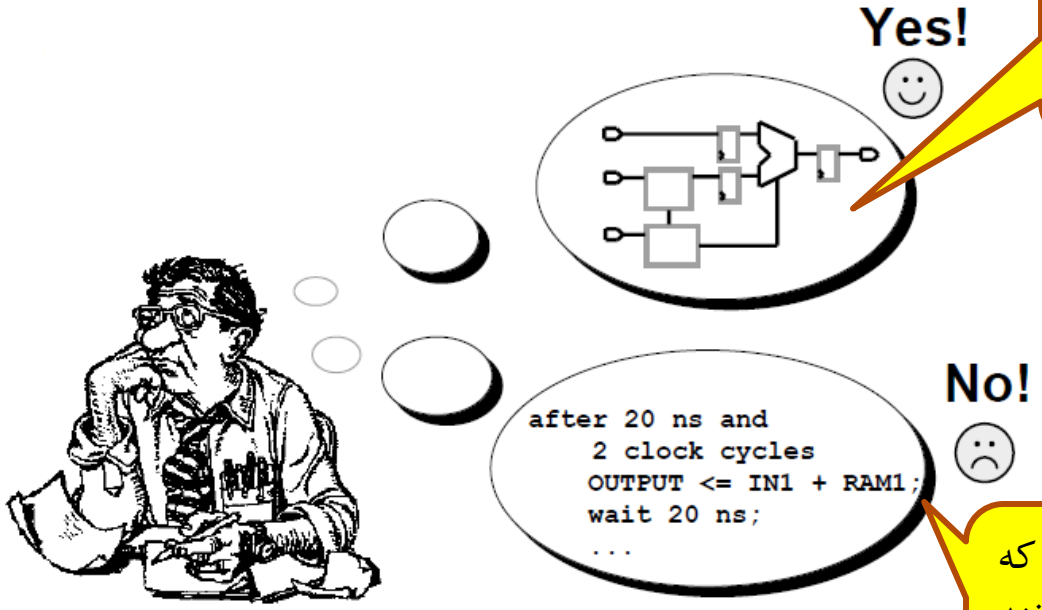
Iran's Center for Integrated Circuits (ICIC)

دستور ungroup

دستور **ungroup** تمام سطوح سلسله مراتبی را حذف می کند.



روش کد نویسی برای سنتز

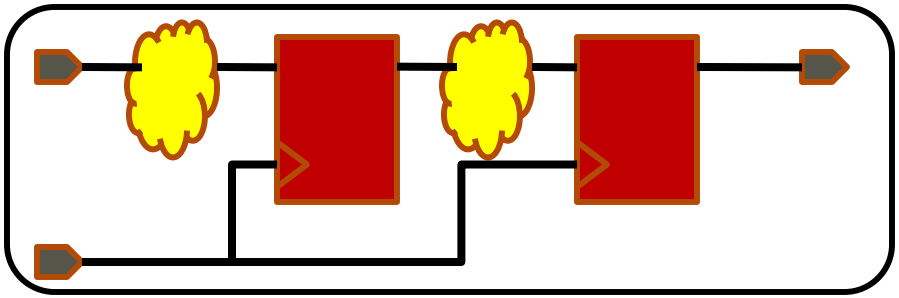


برای نوشتن یک برنامه کارامد لازم است توپولوژی مناسبی برای سخت افزاری که قرار است پیاده سازی شود، ارائه کنیم

در نوشتن کد سخت فزار خود از مدلهایی که در شبیه سازی از آنها استفاده می شود مانند اعمال تاخیر سیگنالها بپرهیزید.

Iran's Center for Integrated Circuits (ICIC)

کدنویسی RTL



- منظور از نوشتن یک کد بصورت RTL، توصیف:
  - معماری رجیسترها
  - توپولوژی مدار
  - عملکرد بین رجیسترها

- Design Compiler می تواند منطق بین رجیسترها را بهینه سازی کند ولی مکان رجیسترها توسط این ابزار سنتز قابل بهینه سازی نیست.

Iran's Center for Integrated Circuits (ICIC)

HDL سنتز

- Synthesis of *if* statements
- Synthesis of *case* statements
- Synthesis of *loop* statements
- Synthesis of *Flip-flops*
- Synthesis of *Arithmetic Circuits*

Iran's Center for Integrated Circuits (ICIC)

سنتز دستور if

Synthesis of *if* statements

Synthesis of *case* statements

Synthesis of *loop* statements

Synthesis of *Flip-flops*

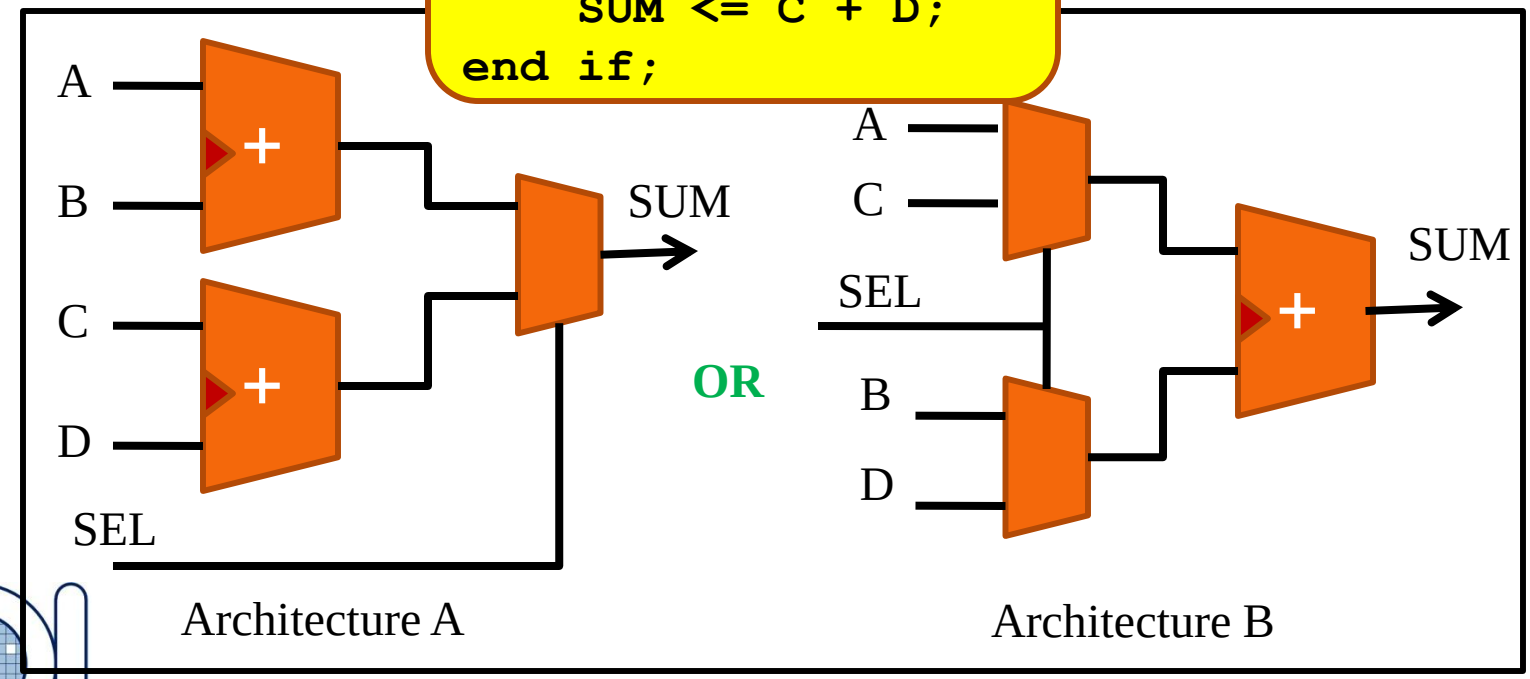
Synthesis of *Arithmetic Circuits*

Iran's Center for Integrated Circuits (ICIC)

سنتز دستور if

دستور **if-else** منجر به ساخت مالتی پلکسر می شود.

```
if (SEL = '1') then
    SUM <= A + B;
else
    SUM <= C + D;
end if;
```

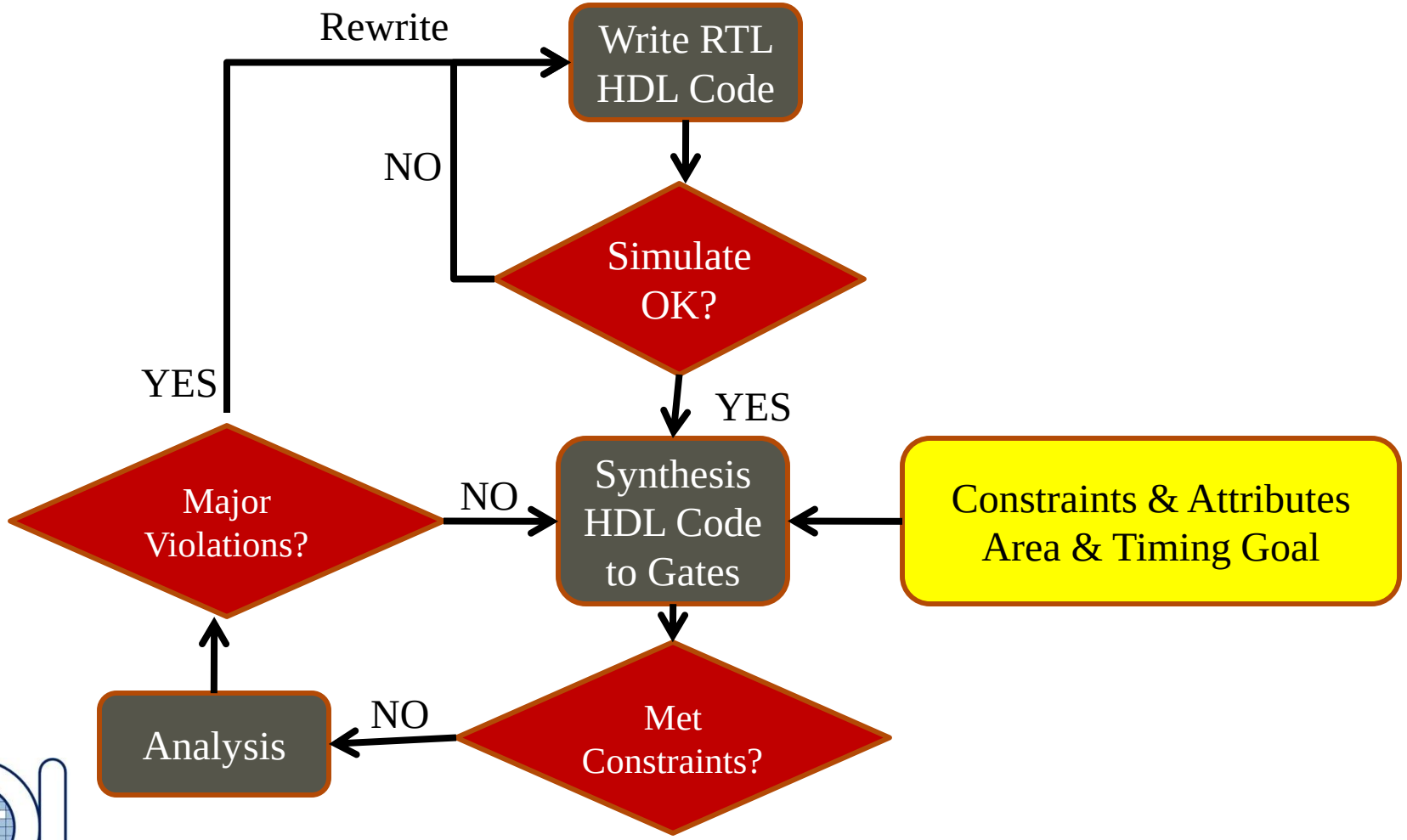


زمانبندی و اعمال محدودیتها به طرح

- Timing and Area
- Environmental Attributes
- Design Rules and Min Timing
- Timipng Analysis

Iran's Center for Integrated Circuits (ICIC)

زمانبندی و اعمال محدودیتها به طرح



Iran's Center for Integrated Circuits (ICIC)

زمانبندی و مساحت

Timing and Area

Environmental Attributes

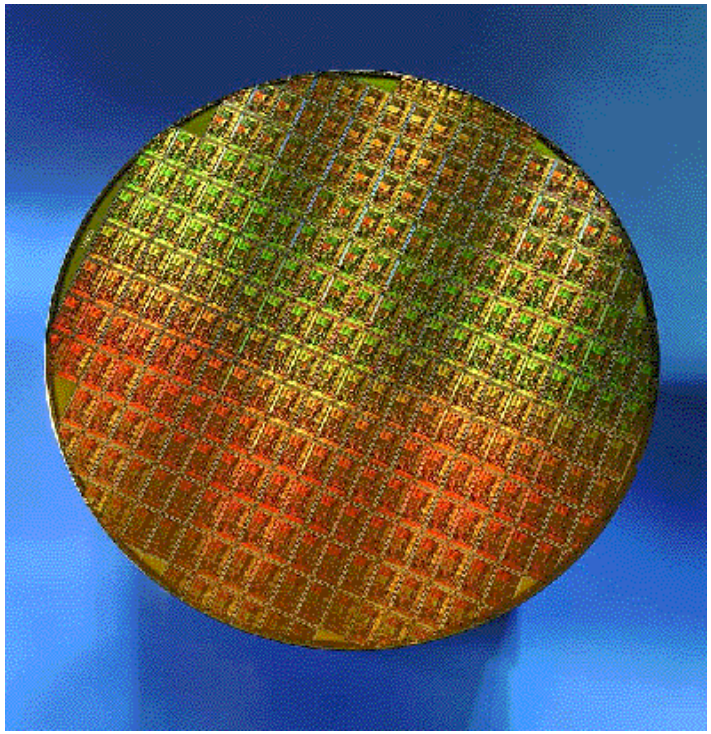
Design Rules and Min Timing

Timing Analysis

Iran's Center for Integrated Circuits (ICIC)

تعیین مساحت برای طرح

به منظور کاهش هزینه های ساخت مدار، اعمال محدودیت مساحت در طرح بسیار ضروری به نظر می رسد.



```
current_design <my_design>
set_max_area 100
```

Minimum Area

```
current_design <my_design>
set_max_area 0
```

Iran's Center for Integrated Circuits (ICIC)

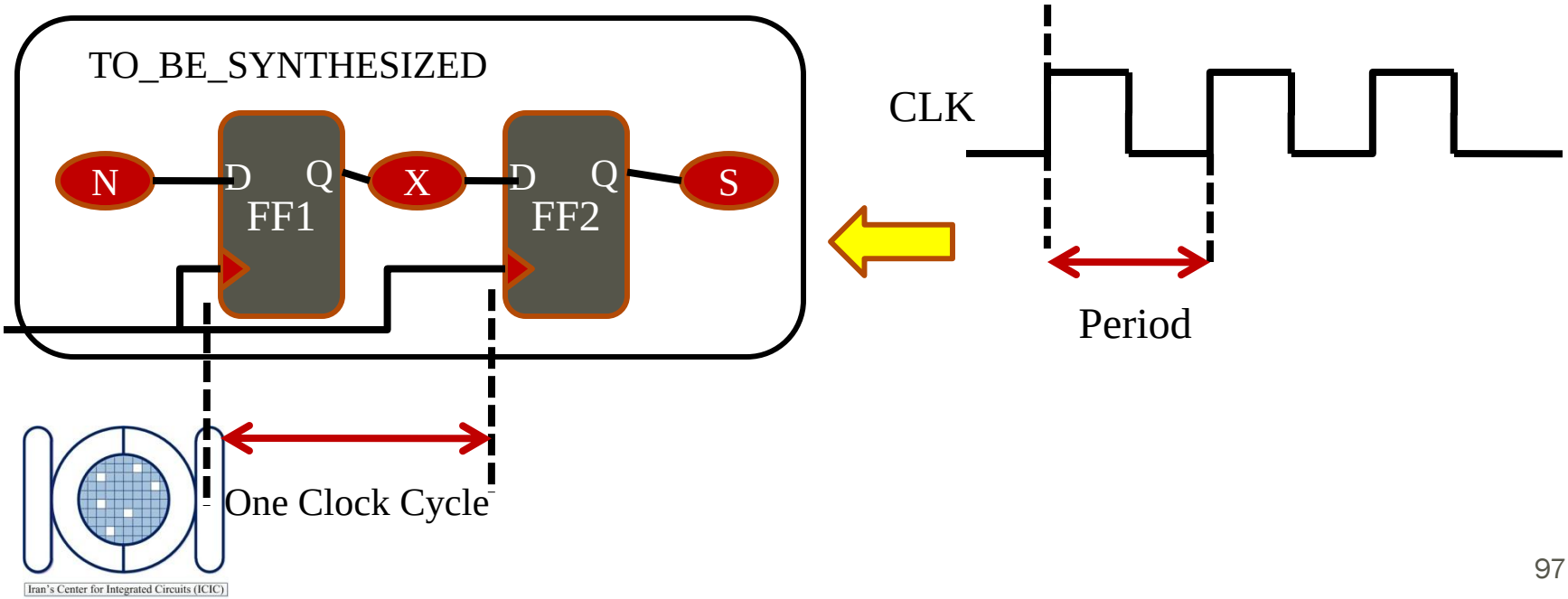
توصیف کلاک

در تعریف کلاک مشخص نمودن فاکتورهای زیر الزامی است:

- منبع کلاک (پورت یا پین)
- دوره تناوب کلاک

در تعریف کلاک مشخص نمودن فاکتورهای زیر اختیاری است:

- Duty Cycle
- Skew
- نام کلاک



توصیف کلاک


```
dc_shell-t> create_clock -period 10 [get_ports Clk]
dc_shell-t> set_dont_touch_network [get_clocks Clk]
```

دستور "set_dont_touch_network" بـه Design Compiler می فهماند که سر راه مسـیرهای کـلاک بـافر قـرار ندهـد حتـی زمانیکه که بار روی فلیپ فلاپها زیاد باشد.

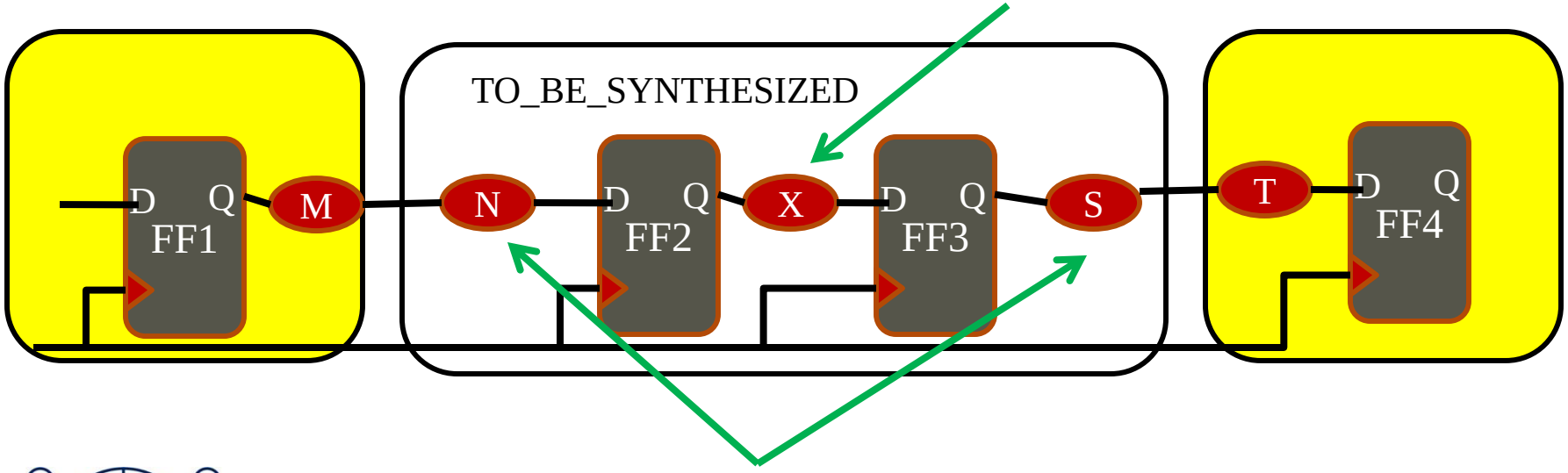
Iran's Center for Integrated Circuits (ICIC)

زمانبندی ورودی و خروجی مدار

روشهای زمانبندی مدار

- تعریف کلاک ها
- تعریف زمانبندی I/O های وابسته به کلاک ها

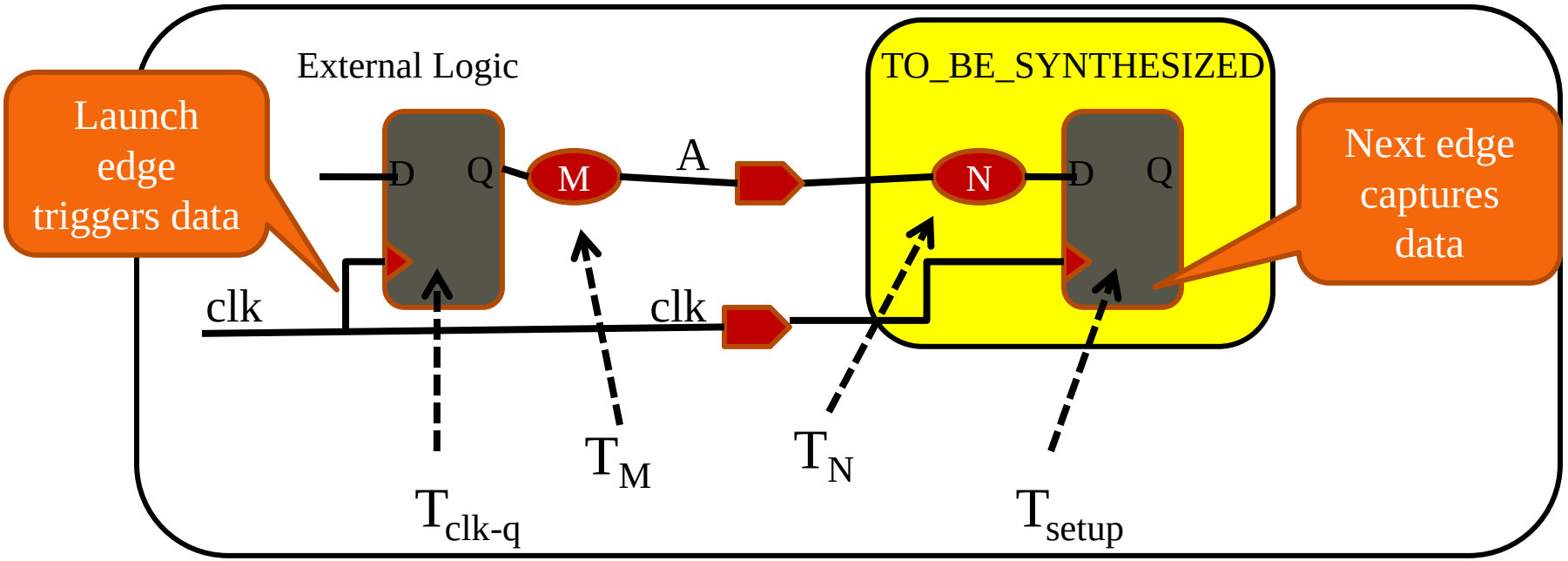
مسیر X با استفاده از دستور
create_clock زمانبندی شده است.



مسیرهای N و S هنوز زمانبندی نشده اند.

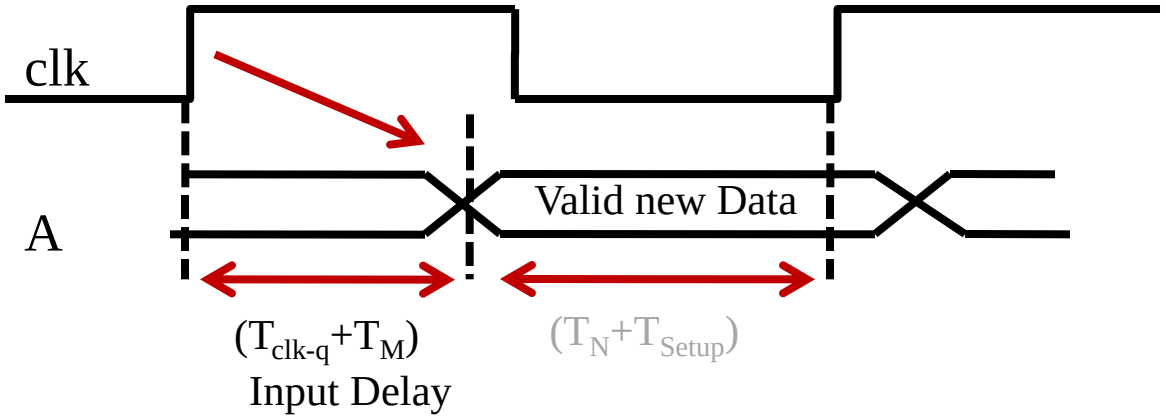
Iran's Center for Integrated Circuits (ICIC)

زمانبندی مسیرهای ورودی

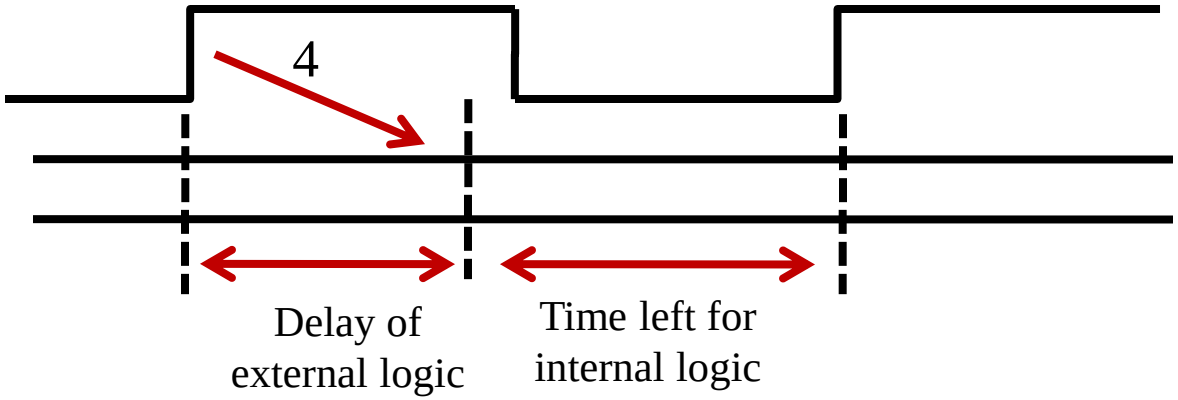


Iran's Center for Integrated Circuits (ICIC)

زمانبندی مسیرهای ورودی

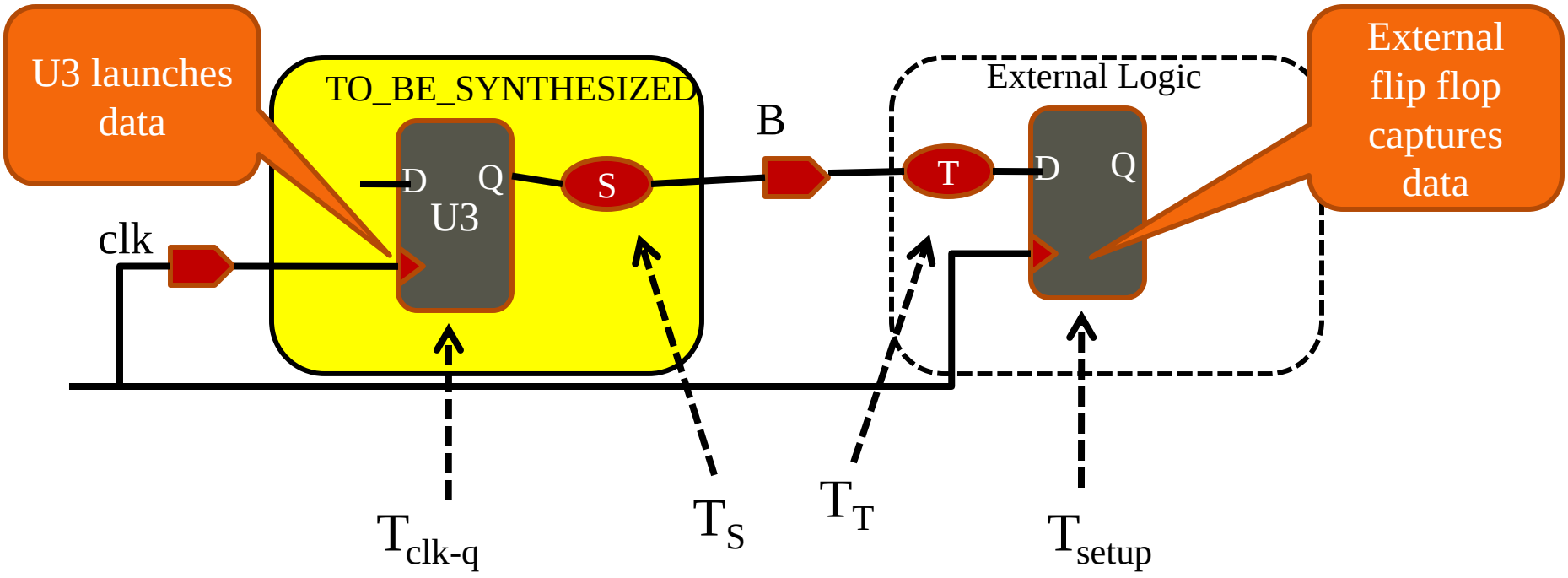



```
set_input_delay -max 4 -clock Clk [get_ports A]
```

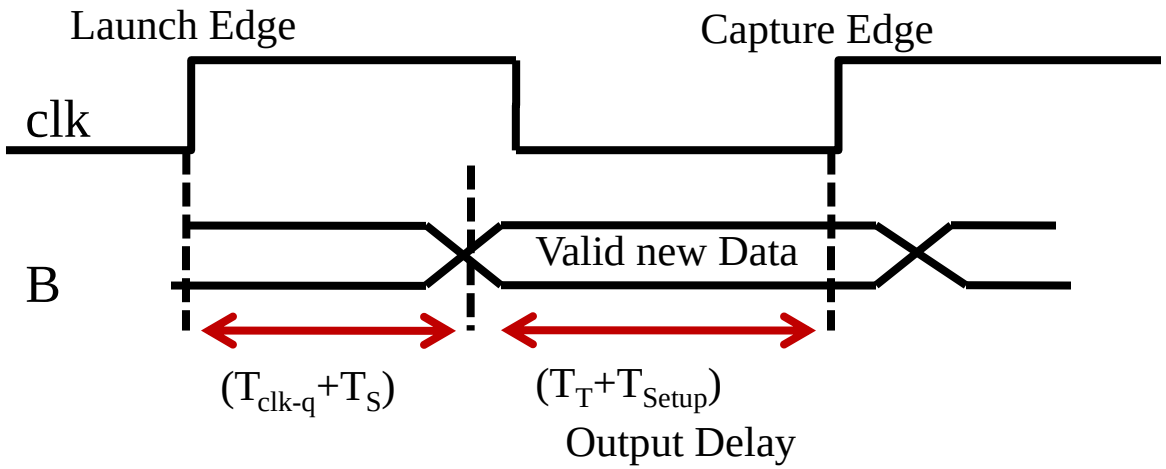


Iran's Center for Integrated Circuits (ICIC)

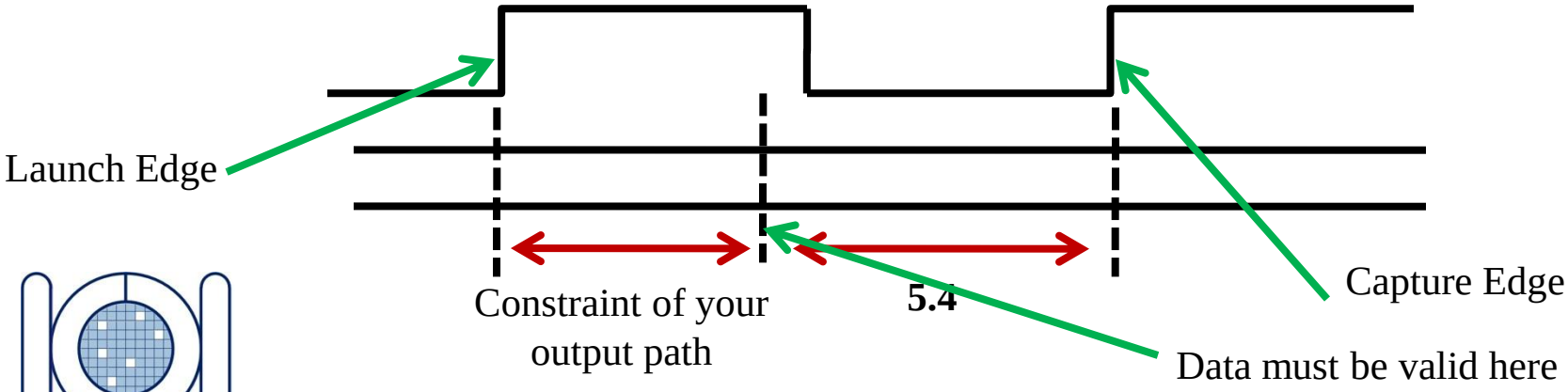
زمانبندی مسیرهای خروجی



زمانبندی مسیرهای خروجی




```
set_output_delay -max 5.4 -clock Clk [get_ports B]
```



Iran's Center for Integrated Circuits (ICIC)

توصیف ویژگیهای محیطی

Timing and Area

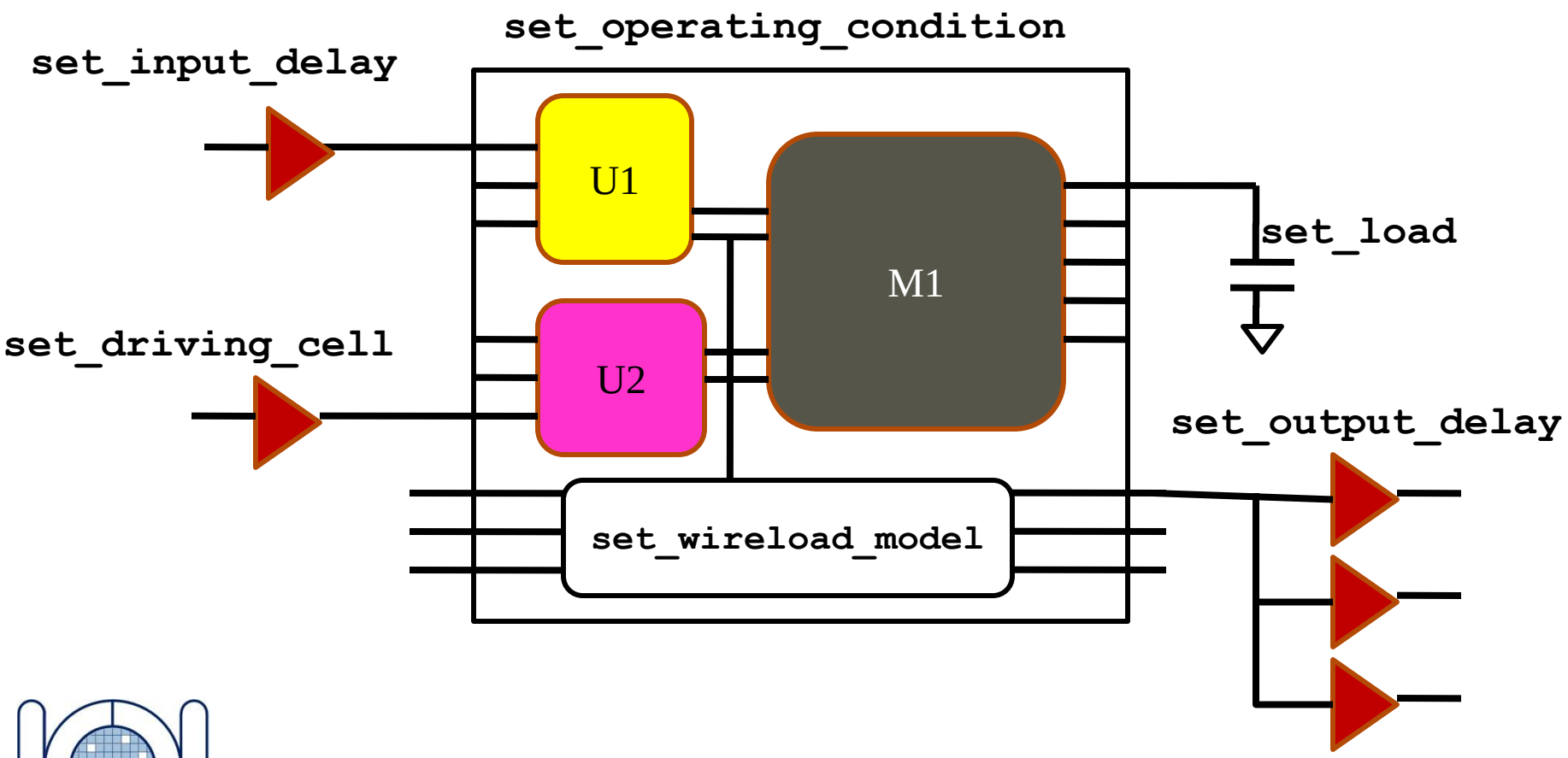
Environmental Attributes

Design Rules and Min Timing

Timing Analysis

Iran's Center for Integrated Circuits (ICIC)

توصیف ویژگیهای محیطی



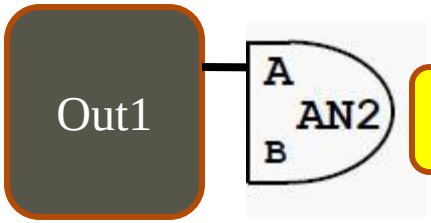
Iran's Center for Integrated Circuits (ICIC)

لود خازنی

- با توجه به محاسبه دقیق زمانبندی مدار خروجی، Design Compiler نیاز دارد که میزان بار خازنی سلولهای خروجی را بداند.
- دستور **set_load** به شما این امکان را می دهد که یک لود خازنی خارجی به پورتهای ورودی یا خروجی همانند لود پین یک سلول در کتابخانه تکنولوژی اعمال کنید.


```
set_load 5 [get_ports OUT1]
```

- دستور **load_of lib/cell/pin** میزان لود یک پین از گیت را از کتابخانه تکنولوژی به یک پورت اعمال می کند.

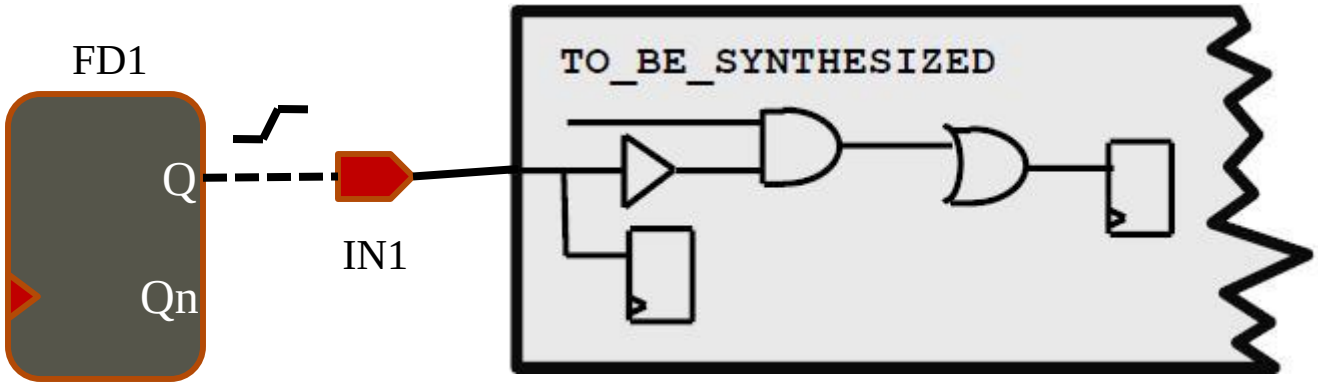



```
set_load [load_of my_lib/AN2/A] [get_ports OUT1]
```

Iran's Center for Integrated Circuits (ICIC)

مدل سازی قدرت راه اندازی ورودی

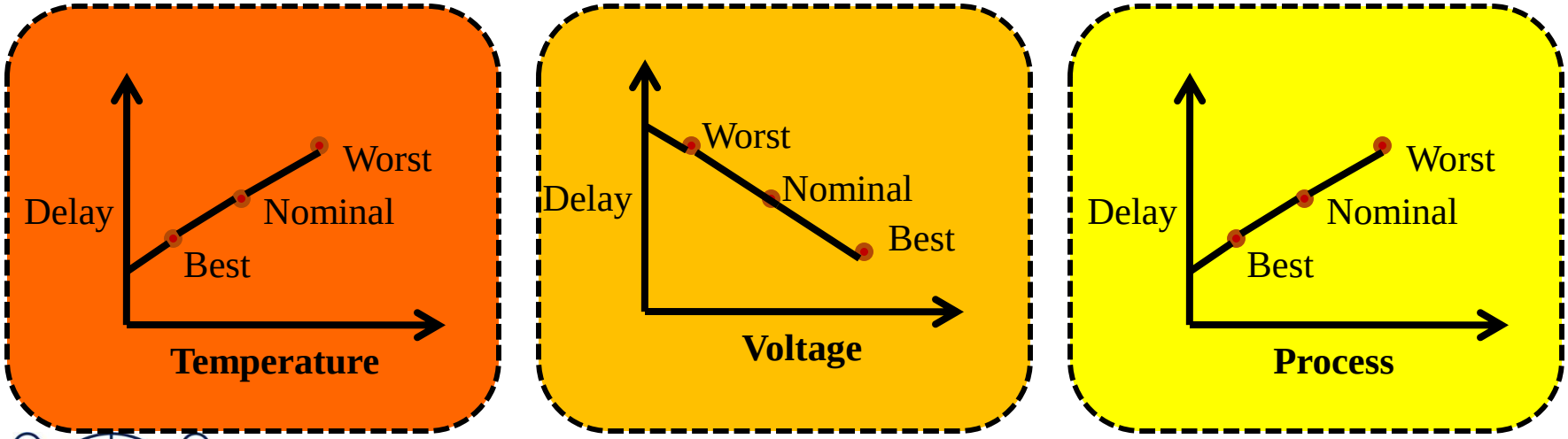
- با توجه به محاسبه دقیق زمانبندی مدار ورودی، Design Compiler نیاز دارد که زمان گذار ورود یک سیگنال به یک پورت را بداند.
- دستور **set_driving_cell** به شما این امکان را می دهد که یک سلول راه انداز خارجی را برای یک پورت ورودی در نظر بگیرد.




```
set_driving_cell max_lib_name -lib_cell FD1 -pin Q [get_ports IN1]
```

شرایط عملیاتی

- در حین عمل سنتز برای محاسبه تاخیر سیمها و سلولهای بکار رفته در طرح، شرایط خاصی از نظر ۳ ویژگی **دما**، **ولتاژ** و **نوع پروسه** در نظر گرفته می شود. این شرایط در کتابخانه تکنولوژی مشخص می گردد.
- شرایط مختلف عملیاتی با استفاده از دستور **`set_operating_conditions`** به طرح اعمال می شود.



Iran's Center for Integrated Circuits (ICIC)

تعیین شرایط عملیاتی

- با استفاده از دستور **report_lib *libname*** می توانید لیستی از شرایط عملیاتی را مشاهده کنید.

```
Operating Conditions:
Name        Library      Process      Temp      Volt
-----------------------------------------------------
typical      my_lib        1.00        25.00      1.80
slow         my_lib        1.05       125.00      1.62
fast         my_lib        0.93         0.00      1.98
```

For Setup Time

For Hold Time

- برای تعیین شرایط عملیاتی:

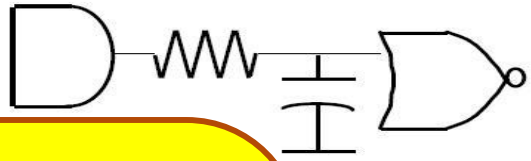
```
set_operation_conditions -min_library lib_name -min condition /
-max_library lib_name -max condition
```

```
Ex: set_operating_conditions -min_library fast -min fast /
-max_library slow -max slow
```

Iran's Center for Integrated Circuits (ICIC)

مدل Wireload

- مدل Wireload تخمینی از RC پارازیتی یک نت بر اساس Fan-out به ما می دهد.
- مدل های Wireload توسط شرکتهای نیمه هادی در دسترس کاربر قرار می گیرد.



```
Name                : 160KGATES
Location            : ssc_core_slow
Resistance          : 0.000271
Capacitance         : 0.00017
Area                : 0
Slope               : 50.3104
Fanout    Length
---------------------------
   1       31.44
   2       81.75
   3       132.07
   4       182.38
   5       232.68
```

R per unit length

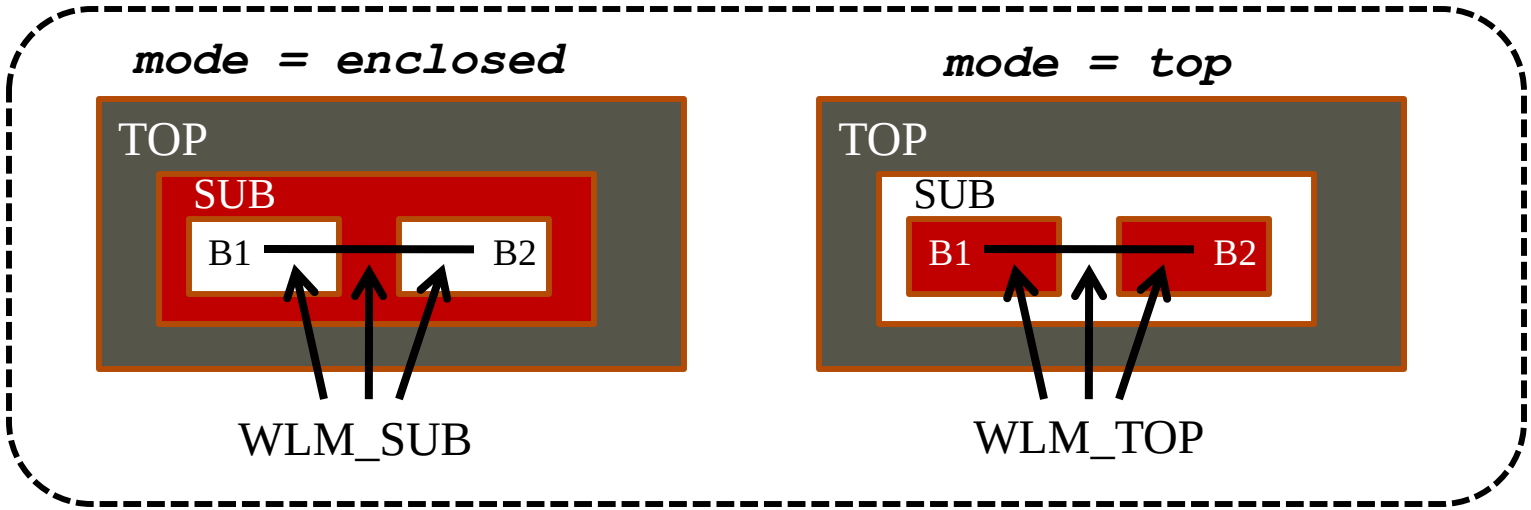
C per unit length

```
Time Unit                    : 1ns
Capacitive Load Unit         : 1.000000pf
Pulling Resistance Unit      : 1kilo-ohm
```

Iran's Center for Integrated Circuits (ICIC)

تعیین مدل Wireload در Design compiler

```
current_design my_design
set_wire_load_model -name 160KGATES
```




```
set_wire_load_mode top
```

Iran's Center for Integrated Circuits (ICIC)

قواعد طراحی و مینیمم زمانبندی

Timing and Area

Environmental Attributes

Design Rules and Min Timing

Timing Analysis

Iran's Center for Integrated Circuits (ICIC)

محدودیتهای قواعد طراحی

- شرکتهای نیمه هادی قواعد طراحی را در نظر می گیرند تا محدودیتهایی برای سلولهای متصل به هم از نظر بار خازنی، زمان گذار و Fanout ایجاد کنند.
- هنگامیکه که خطایی در حین فرایند بهینه سازی صورت می گیرد کامپایلر تلاش می کند تا طرح را به محدودیتهای هدف برساند.
- مهمترین محدودیتهای قواعد طراحی

مقدار مشخصی را برای بیشینه بار خازنی یک پورت یا یک نت در نظر می گیرد.

زمان گذار یک نت، زمانی است که پین راه انداز آن نیاز دارد تا منطق سیگنال روی نت را عوض کند.

max_capacitance

max_transition

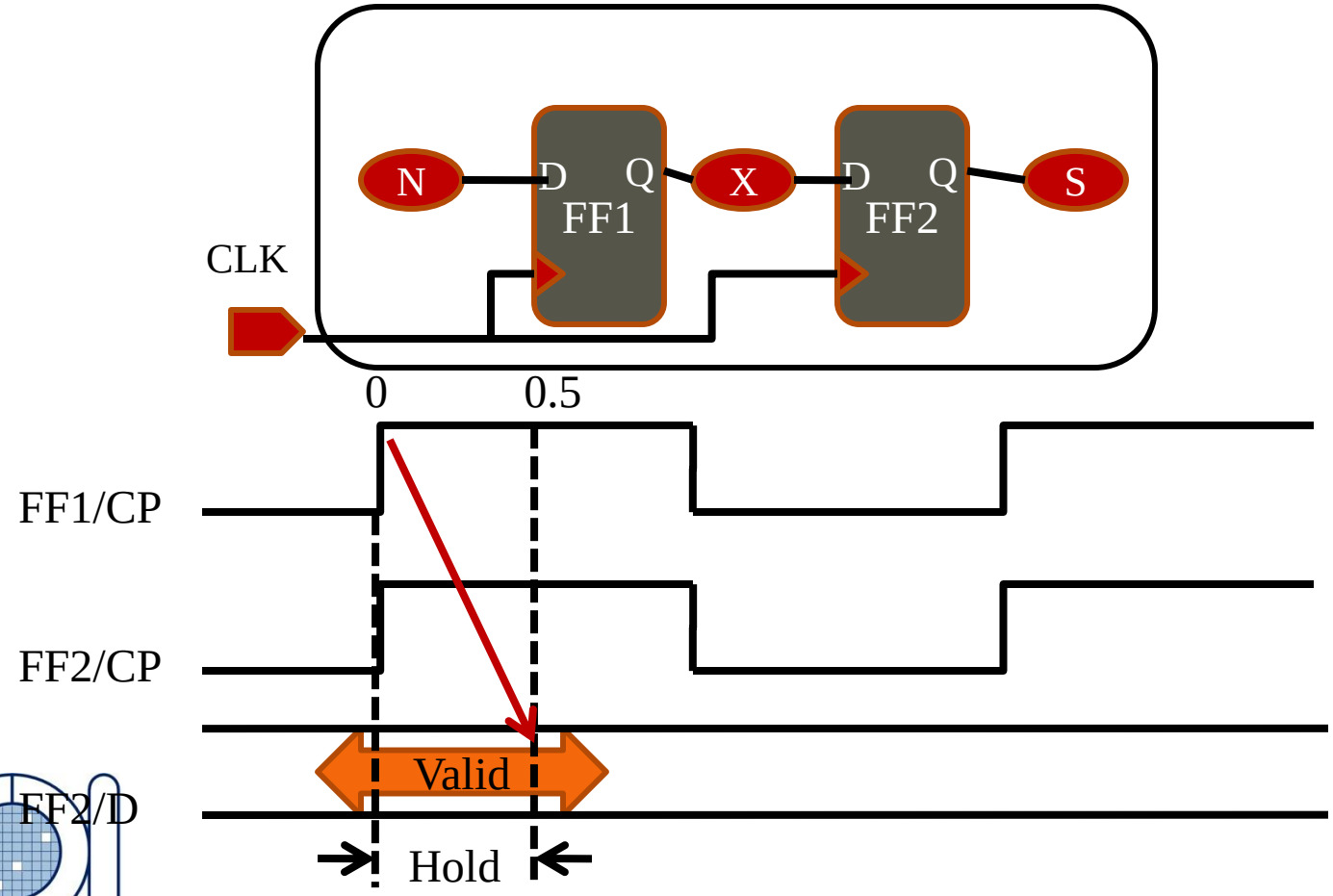
max_fanout

بیشینه fanout برای پورتهای ورودی یا برای تمام نتهای یک طرح را تنظیم میکند.

Iran's Center for Integrated Circuits (ICIC)

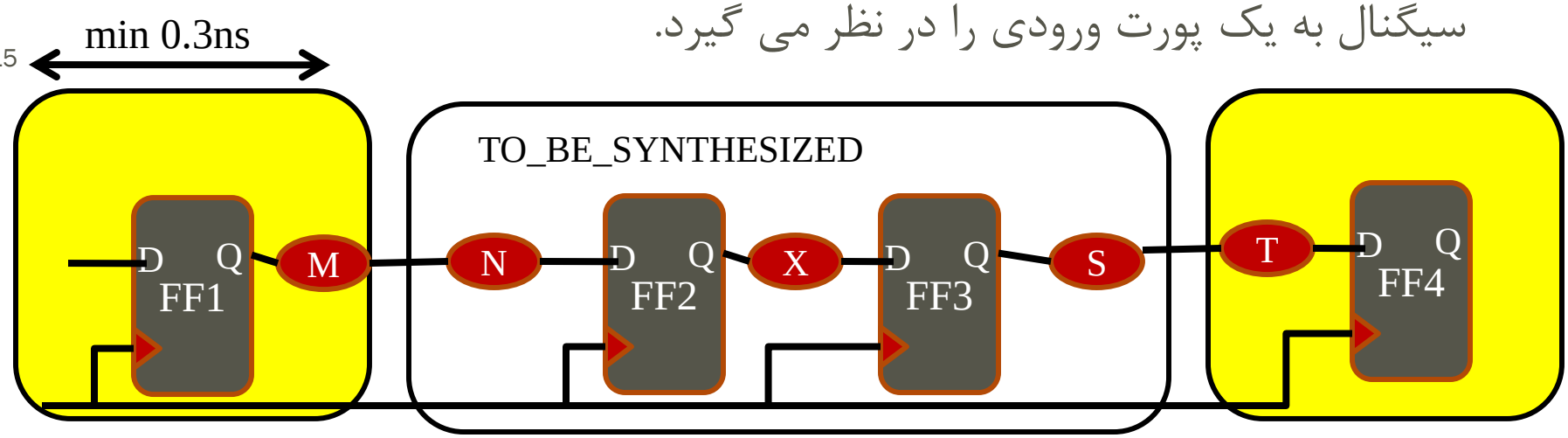
خطاهای Hold Time

- Hold time مینیمم زمانی است که اطلاعات از FF1 به اندازه آن زمان باید منتظر ورود به FF2 بماند.



اعمال تاخیر ورودی برای رفع خطاهای Hold Time

- دستور **set_input_delay -min** سریعترین زمان رسیدن یک سیگنال به یک پورت ورودی را در نظر می گیرد.



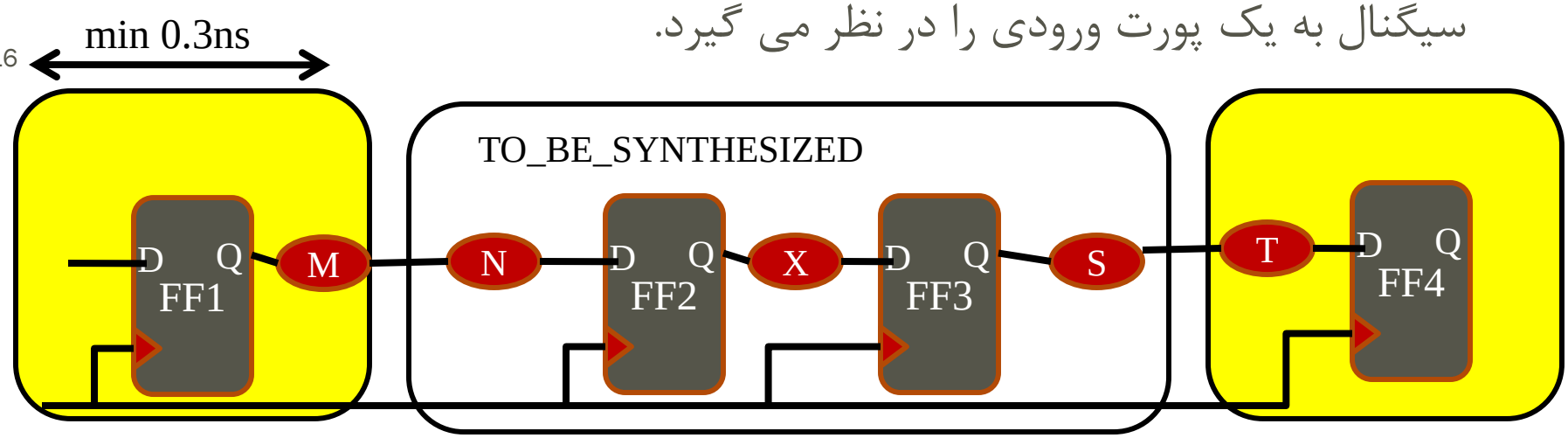

```
create_clock -period 10 [get_ports Clk]
set_input_delay -min 0.3 -clock Clk $all_in_ex_clk
```

اگر Hold Time فلیپ فلاپ FF2 برابر 1ns باشد، مسیر N حداقل به 0.7ns زمان نیاز دارد.

Iran's Center for Integrated Circuits (ICIC)

اعمال تاخیر ورودی برای رفع خطاهای Hold Time

- دستور **set_input_delay -min** سریعترین زمان رسیدن یک سیگنال به یک پورت ورودی را در نظر می گیرد.

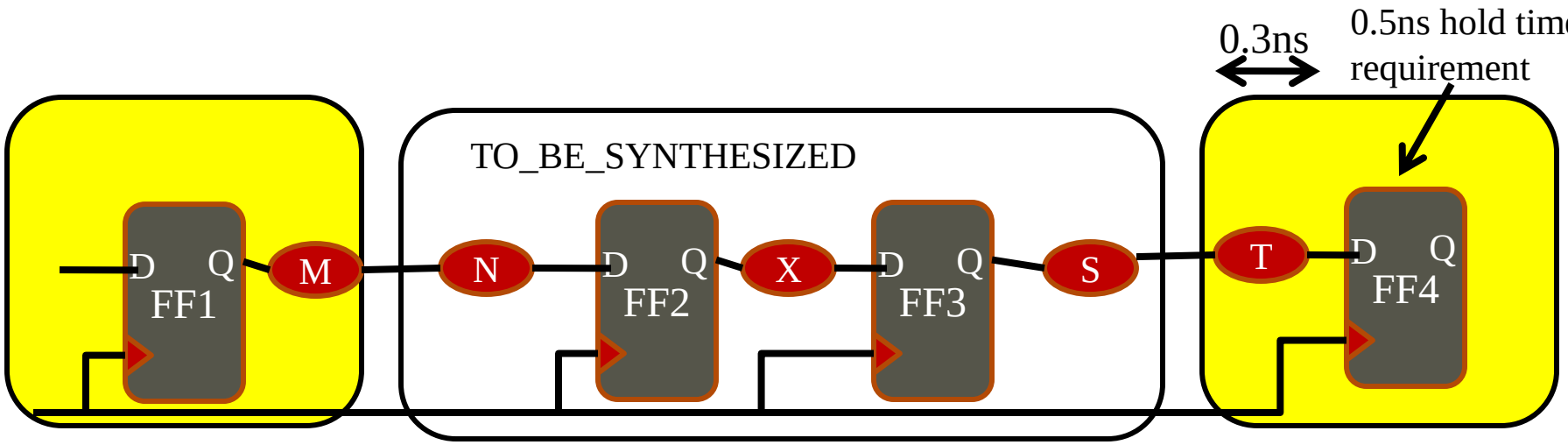



```
create_clock -period 10 [get_ports Clk]
set_input_delay -min 0.3 -clock Clk $all_in_ex_clk
```

اگر Hold Time فلیپ فلاپ FF2 برابر 1ns باشد، مسیر N حداقل به 0.7ns زمان نیاز دارد.

اعمال تاخیر خروجی برای رفع خطاهای Hold Time

- دستور **`set_output_delay -min`** در واقع زمان Hold time مورد نیاز برای یک سلول خارجی از پورتهای خروجی را نشان میدهد.




```
create_clock -period 5 [get_ports Clk]
set_output_delay -min 0.2 -clock Clk [all_outputs]
```

Iran's Center for Integrated Circuits (ICIC)

تحلیل زمانی

Timing and Area

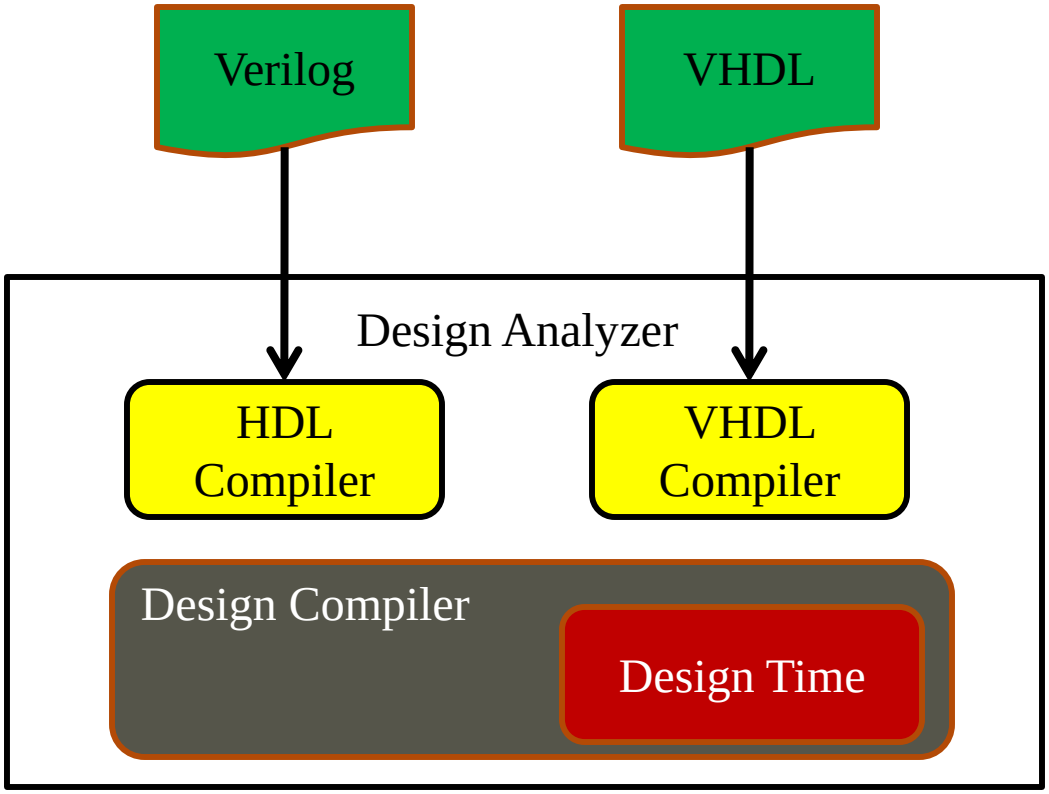
Environmental Attributes

Design Rules and Min Timing

Timing Analysis

Iran's Center for Integrated Circuits (ICIC)

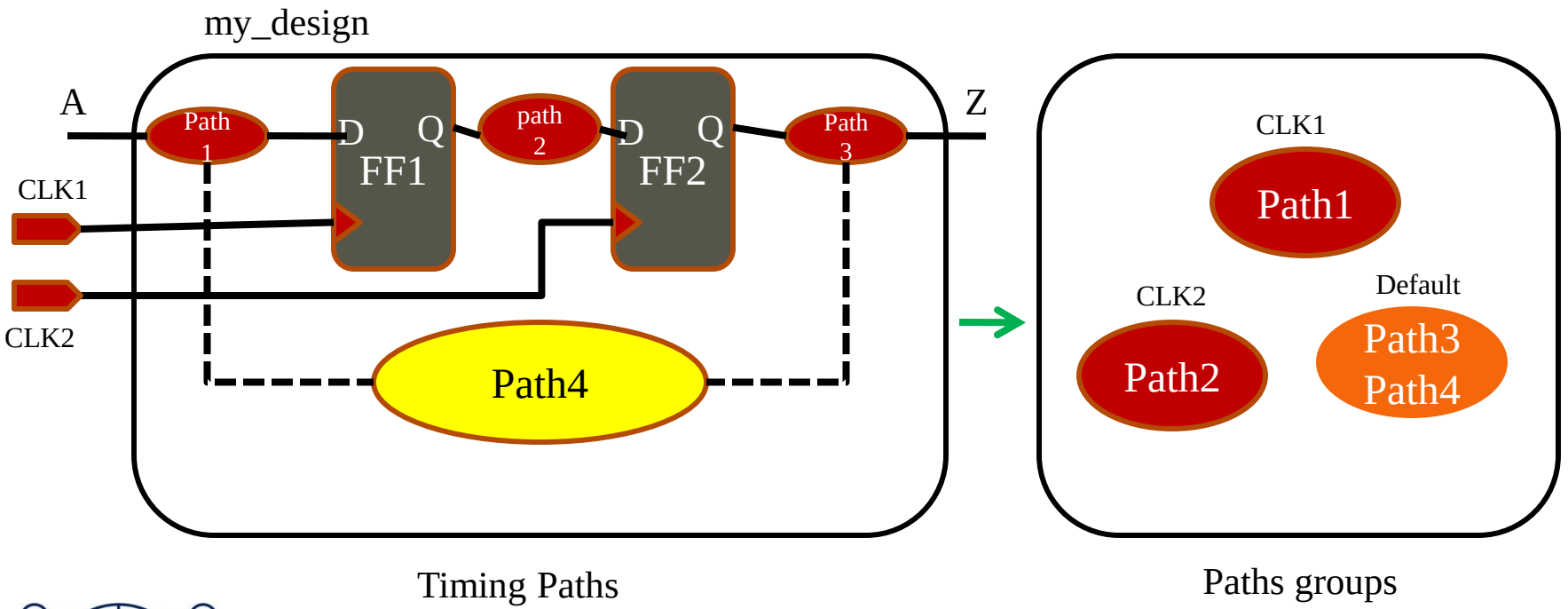
تحلیل زمانی



Iran's Center for Integrated Circuits (ICIC)

تحلیل زمانی استاتیک

تحلیل زمانی استاتیک مشخص می کند که آیا مدار می تواند محدودیتهای اعمال شده به طرح را از نظر زمانی برآورد کند بدون اینکه شبیه سازی دینامیک بر روی آن انجام شود.



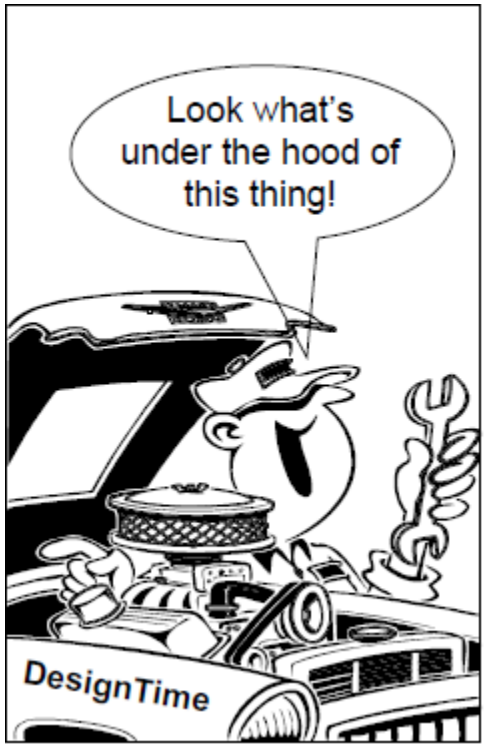
Timing Paths

Paths groups

تحلیل زمانی استاتیک

المانهایی که در محاسبه تاخیر مسیرها استفاده می شوند

- مدل تاخیر سلولها
- مدل Wireload
- مدل اتصالات داخلی
- شرایط عملیاتی



Iran's Center for Integrated Circuits (ICIC)

کامپایل

```
dc_shell> compile
```

Change the Effort Level

```
compile -map_effort (low | medium | high)
```

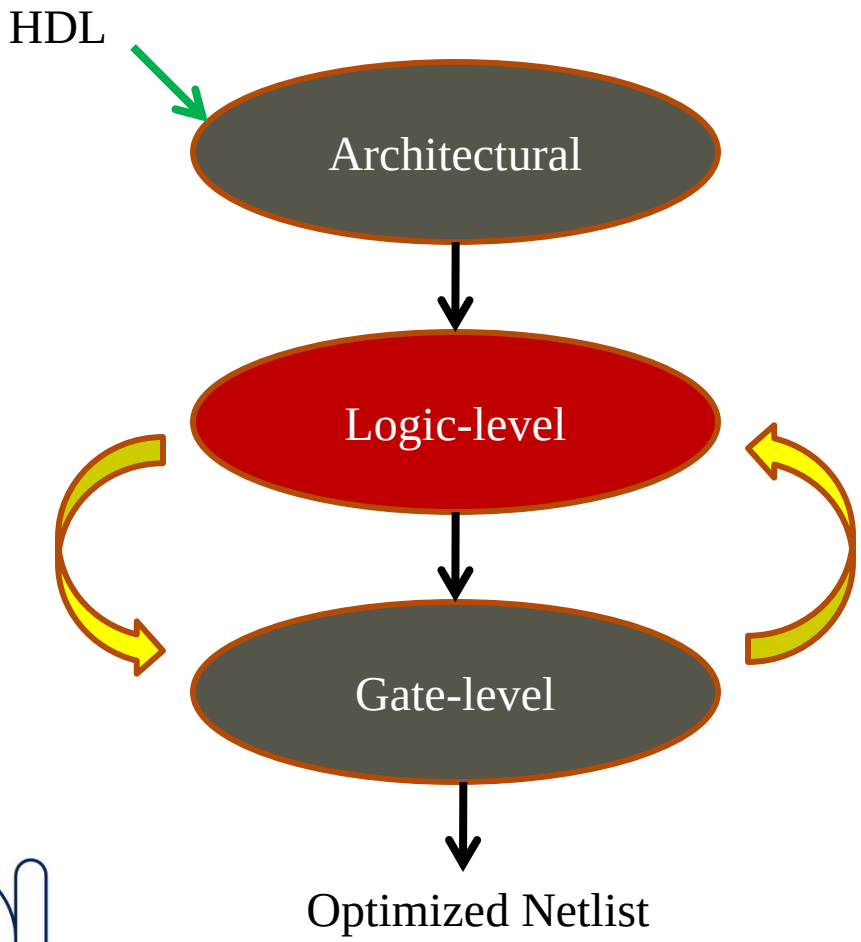
برای بدست آوردن نتایج جدی از آن استفاده نمی شود.

حالت پیش فرض کامپایل است و ممکن است نتایج خوبی به ما بدهد.

از الگوریتمهای پیچیده تری برای سنتز استفاده می کند.

Iran's Center for Integrated Circuits (ICIC)

کامپایل

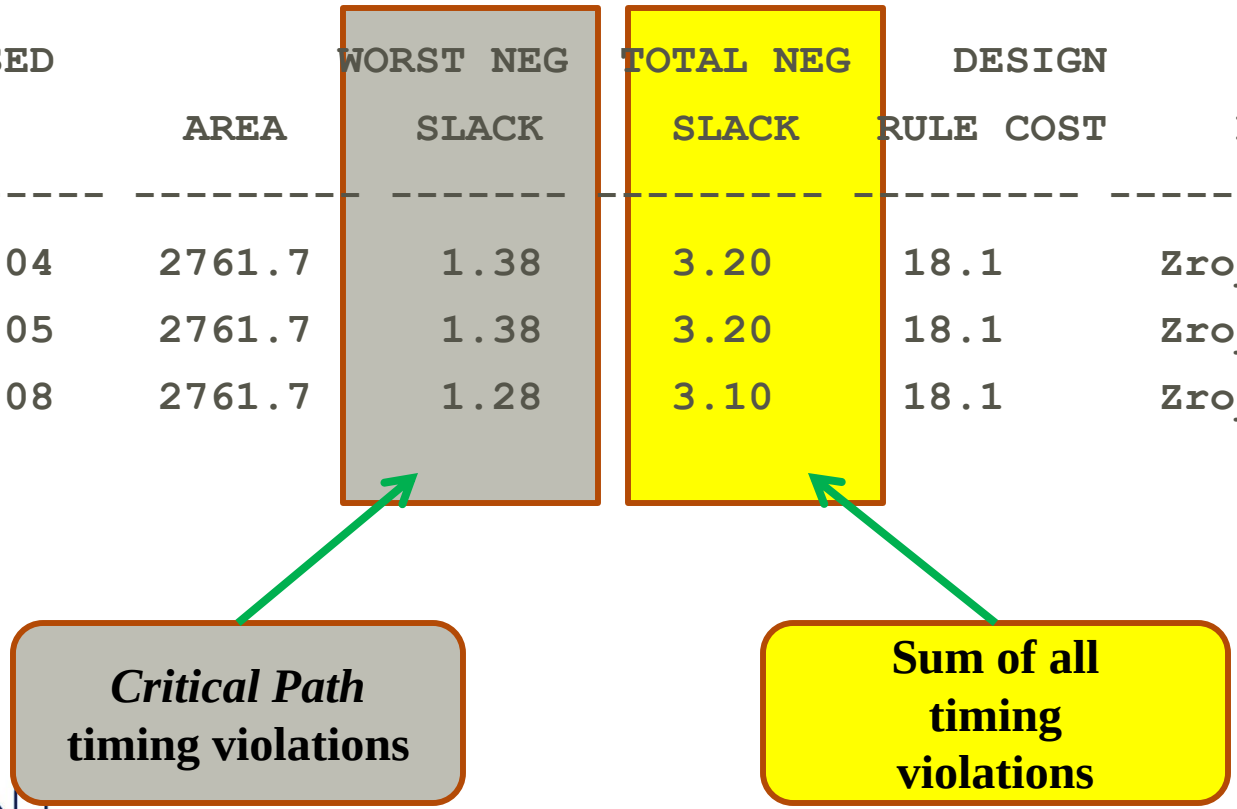


- تمام طرح به المانهای GTECH تبدیل می شود.
- ممکن است در یک اجرای کامپایل نتایج مطلوبی حاصل نشود مگر اینکه محدودیتهای طرح اصلاح شده و یا میزان تلاش کامپایل تغییر یابد.

Iran's Center for Integrated Circuits (ICIC)

گزارش کامپایل

```
Beginning Delay Optimization Phase
-----------------------------------
ELAPSED                 WORST NEG   TOTAL NEG    DESIGN
TIME          AREA      SLACK       SLACK     RULE COST     ENDPOINT
--------- ---------- ------- --------- --------- -----------------
0:10:04    2761.7      1.38      3.20      18.1       Zro_Flag_reg/D
0:10:05    2761.7      1.38      3.20      18.1       Zro_Flag_reg/D
0:10:08    2761.7      1.28      3.10      18.1       Zro_Flag_reg/D
```



Iran's Center for Integrated Circuits (ICIC)

Slack

- Arrival Time: برای یک مسیر، A(P) زمانی است که طول می کشد تا سیگنال از نقطه شروع یک مسیر به نقطه پایان برسد.
- Require Time: R(P) ماکزیمم زمانی است که یک سیگنال برای پیمایش طول مسیر در اختیاردارد.
- Slack: با استفاده از Arrival Time و Require Time می توان Slack را محاسبه نمود.

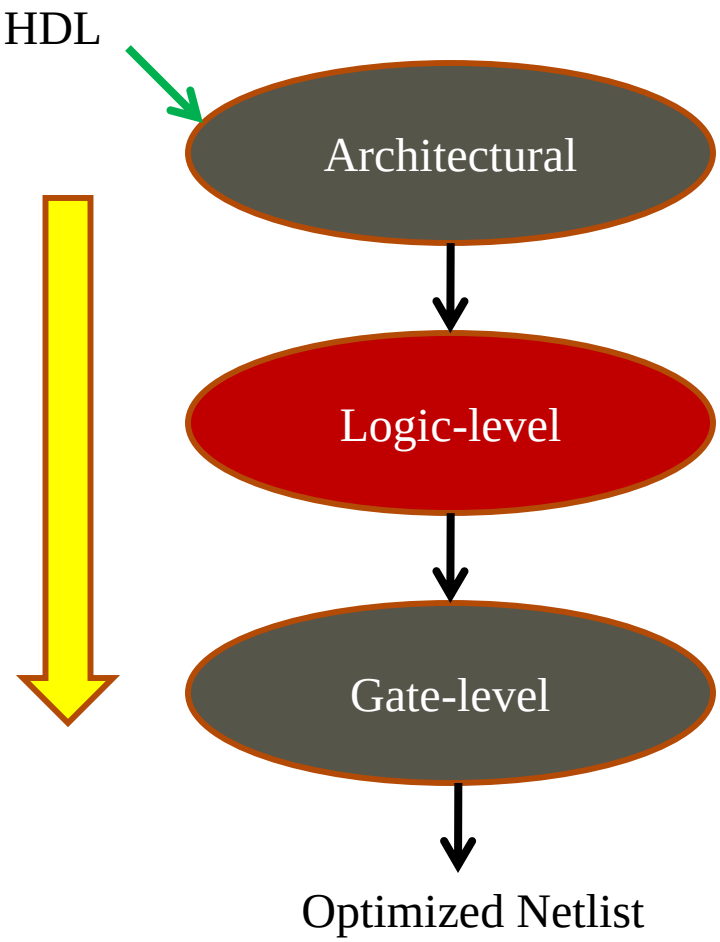
$$Slack = R(P) - A(P)$$

- میزان Slack بر بحرانی بودن یک نود تاثیر گذار است.
- Positive Slack: نود در مسیر بحرانی قرار ندارد و طرح به محدودیتهای زمانی خود می رسد.
- Zero Slack: نود در مسیر بحرانی است ولی به سختی طرح به محدودیتهای زمانی خود می رسد.
- Negative Slack: خطای زمانی وجود دارد.

بهینه سازی Slack یعنی بهینه سازی طرح از نظر زمانی

Iran's Center for Integrated Circuits (ICIC)

کامپایل



- در صورت بروز خطا بهینه سازی می تواند در تمام سطوح انجام شود.
- اعمال تغییرات در کد HDL را نیز مد نظر داشته باشید.

Iran's Center for Integrated Circuits (ICIC)

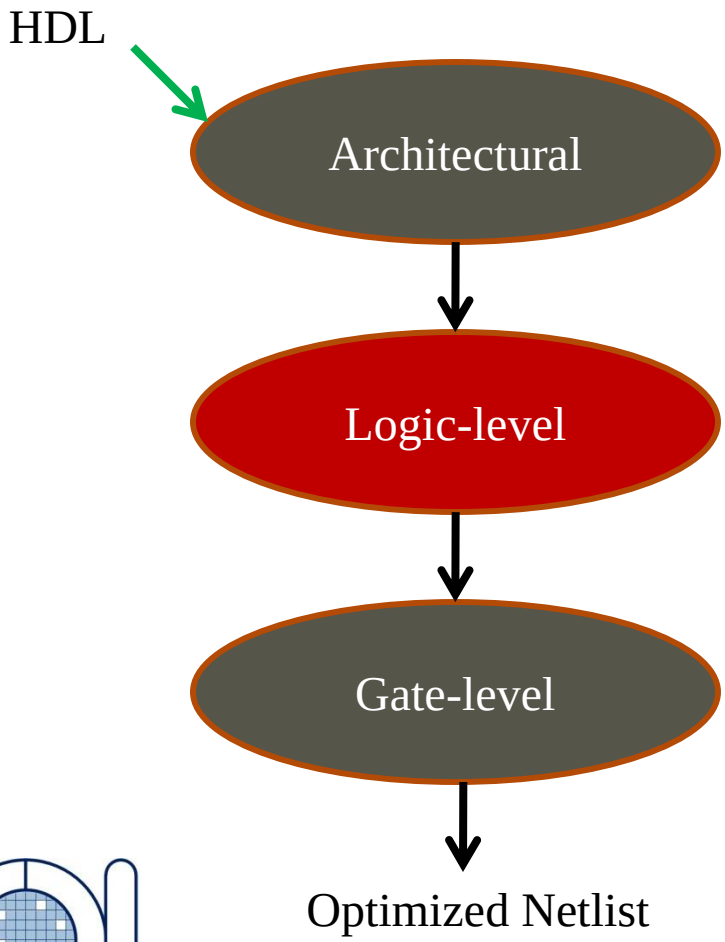
کامپایل

```
dc_shell-t> report_constraint -all
Information: Updating design information... (UID-85)
****************************************
Report : constraint
-all_violators
Design : RISC_CORE
Version: 2002.05
Date : Wed Jul 3 09:38:42 2002
****************************************
max_delay/setup ('Clk' group)
                        Required          Actual
Endpoint                Path Delay        Path Delay        Slack
-------------------------------------------------------------------------------
RESULT_DATA[1]            1.20              1.30 r         -0.10 (VIOLATED)
RESULT_DATA[2]            1.20              1.26 r         -0.06 (VIOLATED)
RESULT_DATA[8]            1.20              1.26 r         -0.06 (VIOLATED)
RESULT_DATA[14]           1.20              1.22 r         -0.02 (VIOLATED)
RESULT_DATA[5]            1.20              1.22 r         -0.02 (VIOLATED)
RESULT_DATA[11]           1.20              1.22 r         -0.02 (VIOLATED)
```

فرض کنید محدودیتهای اعمال شده به طرح و جزءبندی به درستی انجام شده باشد. در این صورت با وجود خطا چه باید کرد؟

Iran's Center for Integrated Circuits (ICIC)

کامپایل افزایشی

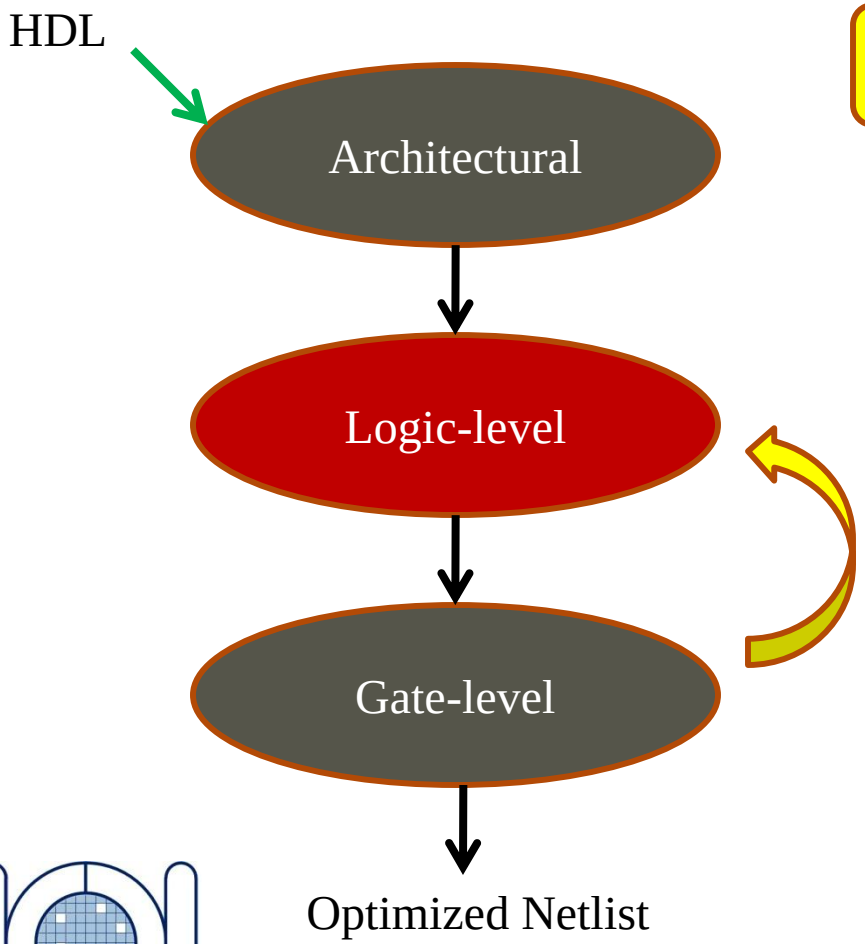



```
compile -incremental_mapping
```

☺ فقط بهینه سازی در سطح گیت انجام می شود. به همین دلیل طرح دوباره به المانهای GTECH تبدیل نخواهد شد.

☺ کامپایل افزایشی از کامپایل معمولی سریعتر است.

کامپایل افزایشی




```
compile -inc -map high
```

☺ الگوریتم بهینه سازی فقط راهکارهایی را اعمال می کند که اسلک مسیرهای بحرانی را کاهش می دهد.

☺ کامپایل افزایشی می تواند نتایج بهتری را در بر داشته باشد و یا بهبودی در نتایج حاصل نشود.

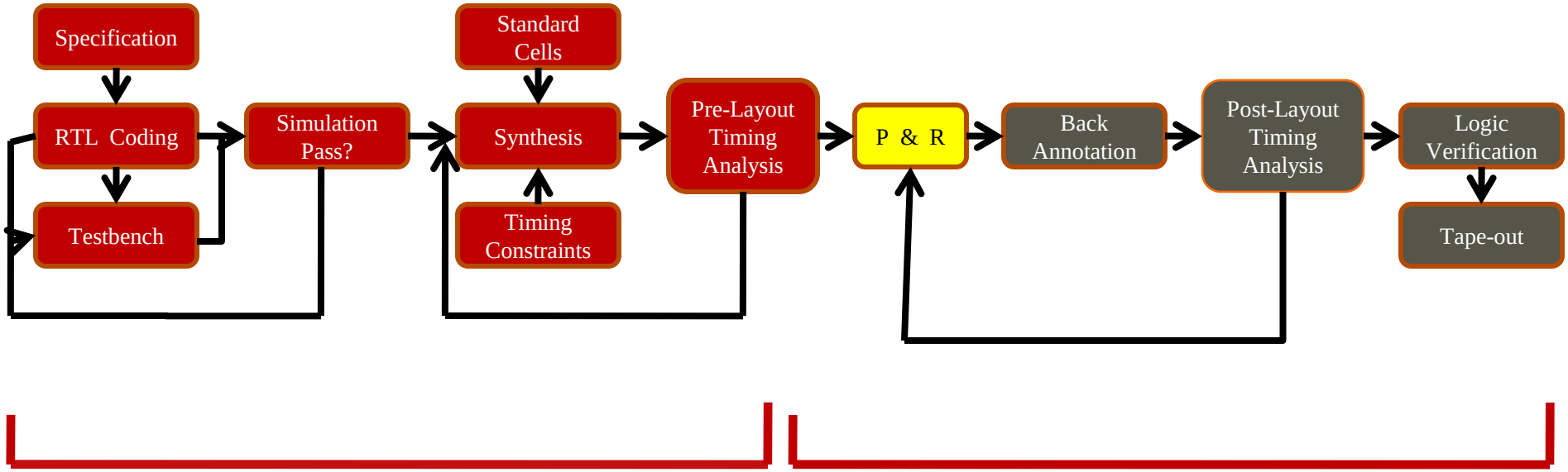
Iran's Center for Integrated Circuits (ICIC)

فهرست مطالب

- مقدمه ای بر طراحی ASIC و FPGA
- روند طراحی ASIC
- مفاهیم پایه سنتز
- جانمایی و مسیریابی (Placement and Routing)

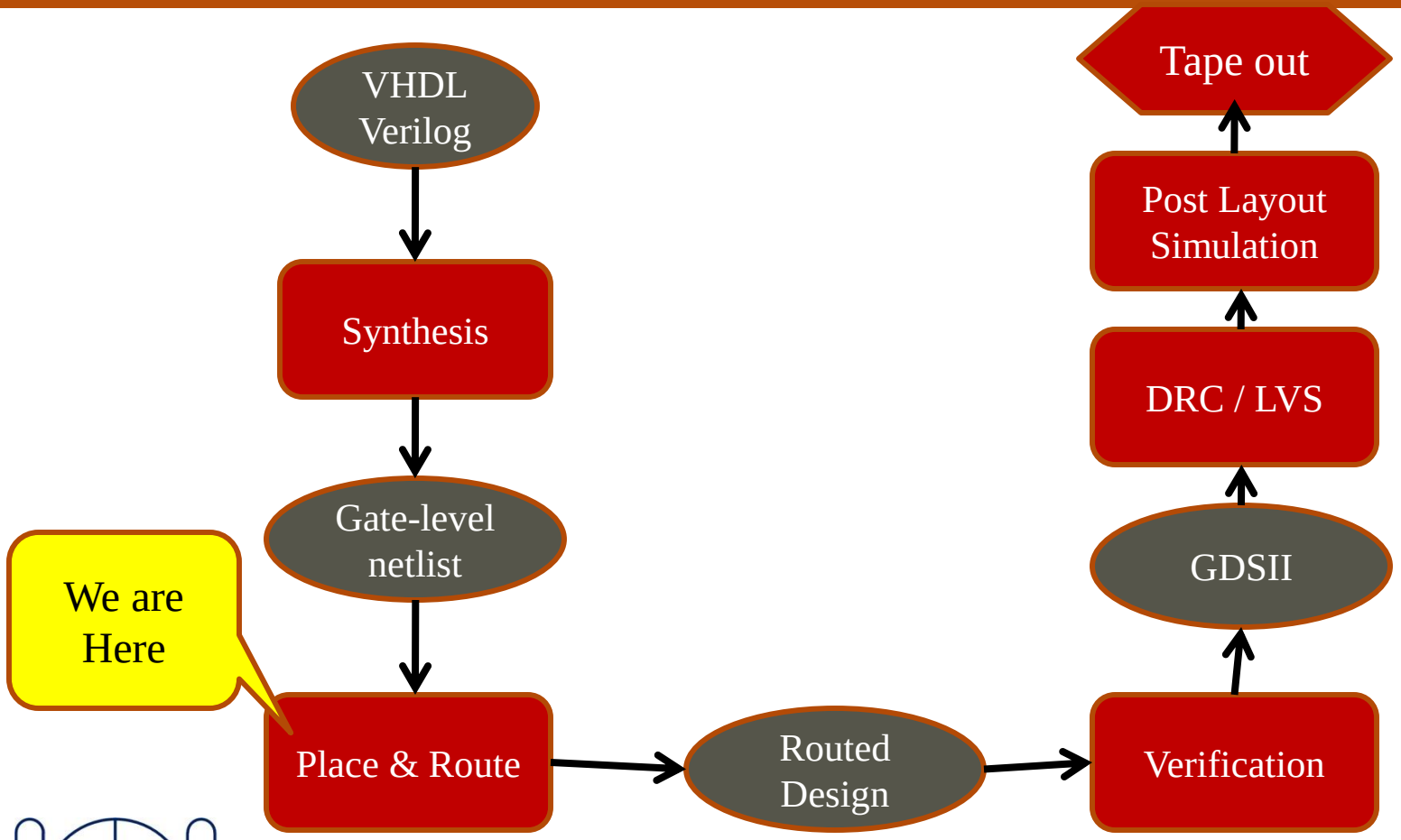
Iran's Center for Integrated Circuits (ICIC)

جانمایی و مسیریابی



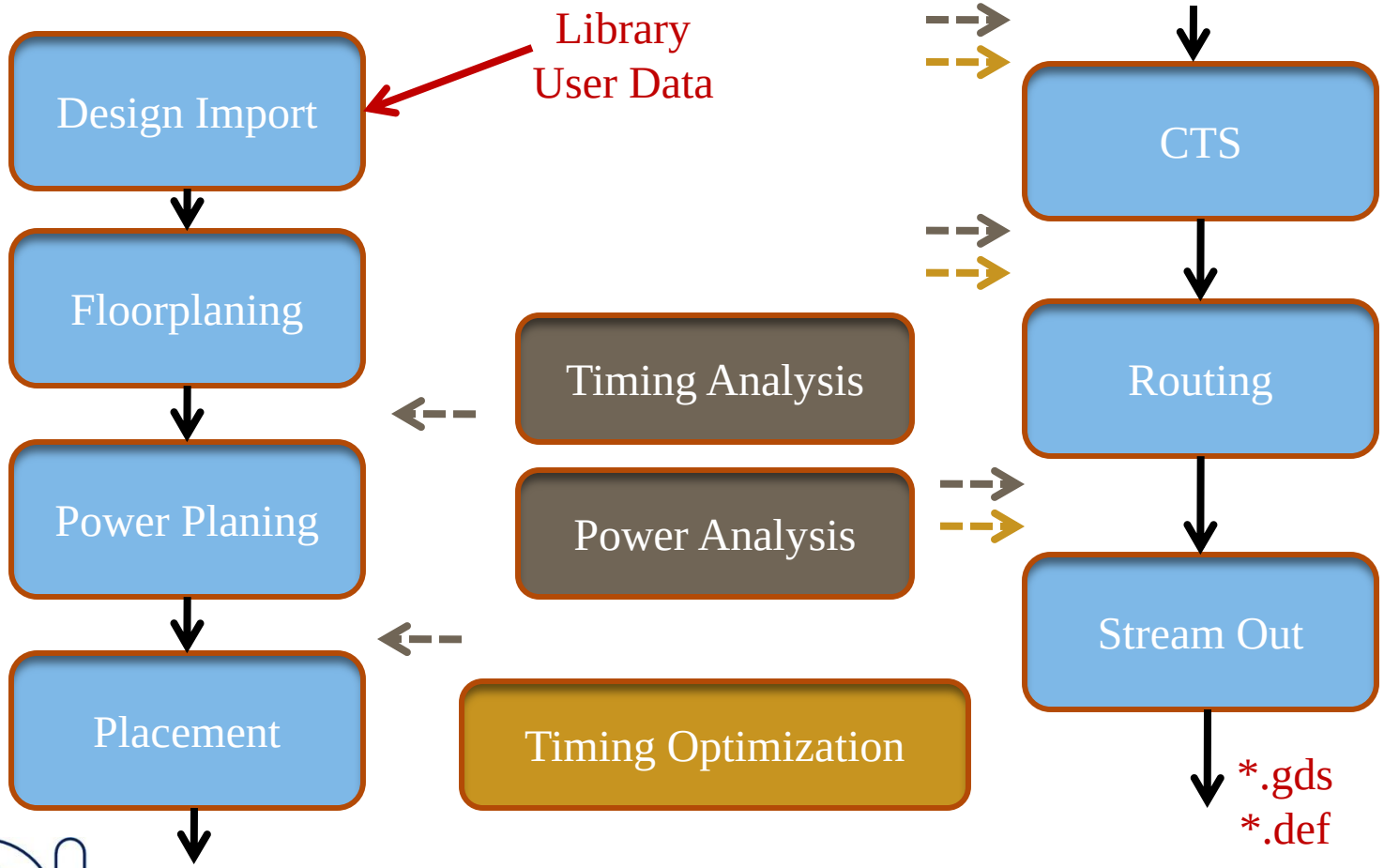
Iran's Center for Integrated Circuits (ICIC)

مقدمه ای بر روند طراحی



Iran's Center for Integrated Circuits (ICIC)

روند جانمایی و مسیریابی



Iran's Center for Integrated Circuits (ICIC)

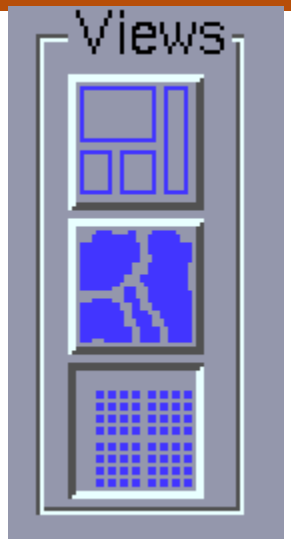
اطلاعات مورد نیاز

- کتابخانه ها
  - کتابخانه فیزیکال (Physical Library) ← *.LEF
  - کتابخانه زمانی (Timing Library) ← *.Lib
    - شرایط عملیاتی (Operating Conditions)
    - نوع پینها
    - تاخیر مسیرها
    - محدودیتهای زمانی
  - جدول خازنی (Capacitance Table)
  - کتابخانه Celtic
  - کتابخانه Fire&Ice/Voltage Storm
- اطلاعات کاربر
  - نت لیست سطح گیت ← *.v
  - محدودیتهای زمانی ← *.sdc
  - محدودیتهای I/O ← *.ioc

TCL Format

Iran's Center for Integrated Circuits (ICIC)

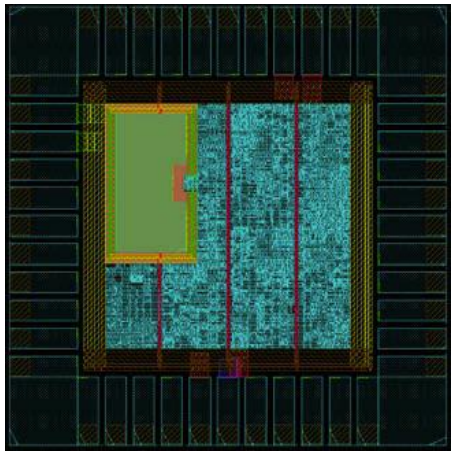
نماهای طرح

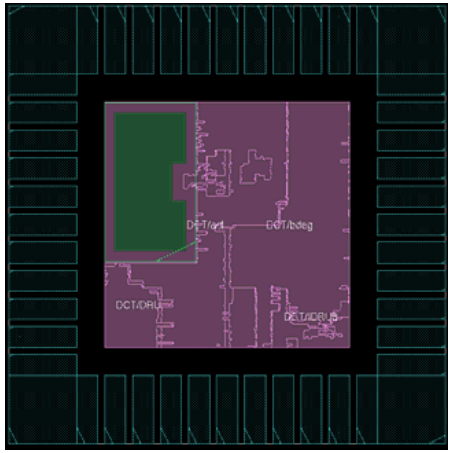


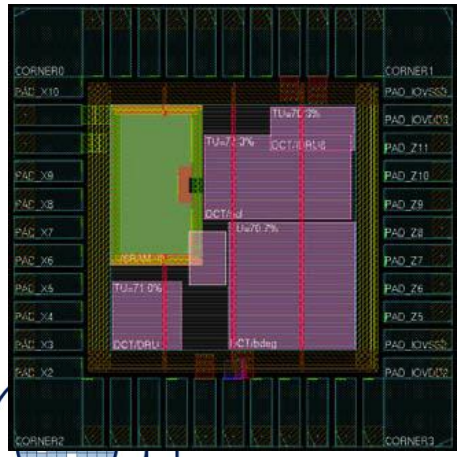
نمای Floorplan: بلوکها و Moduleها را بصورت سلسله مراتبی و اتصالات را به شکل Flight Connection نمایش می دهد.

نمای Amoeba: محدوده Module ها را پس از جانمایی مشخص می کند.

نمایPhysical: جزئیات جانمایی سلولها و بلوکها به همراه اتصالات بین آنها را نشان می دهد.



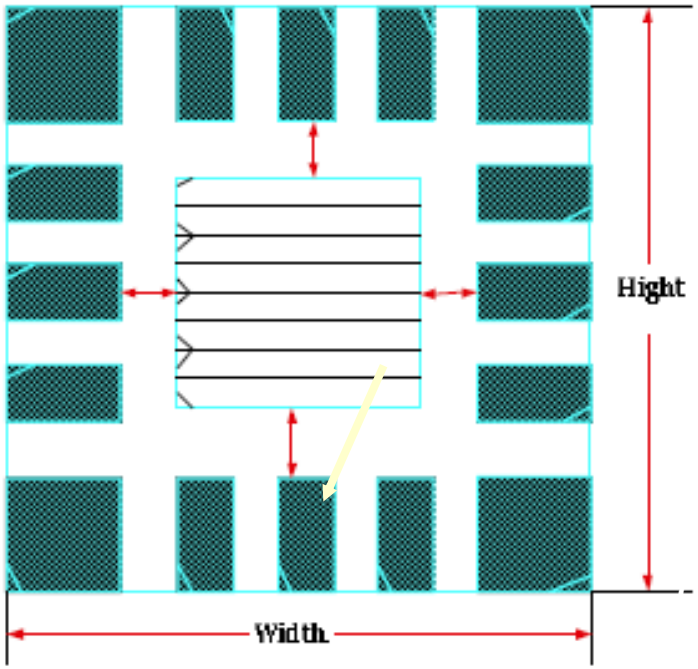


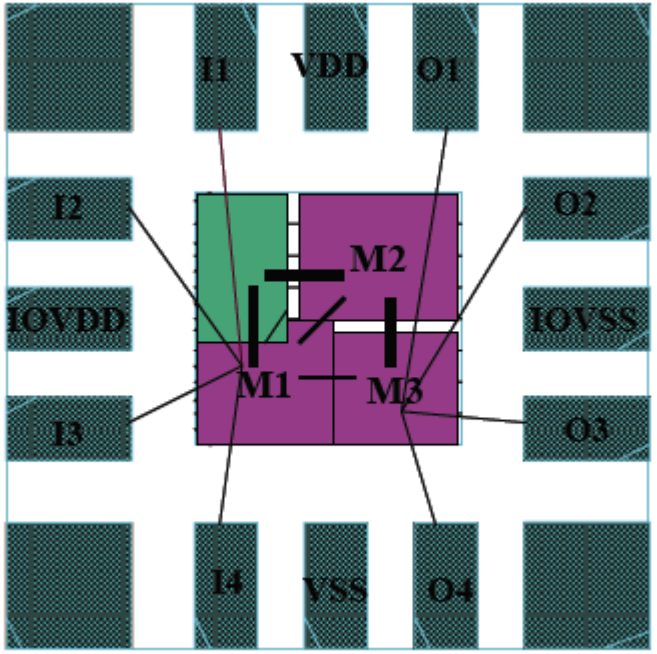


Iran's Center for Integrated Circuits (ICIC)

Floorplanniong

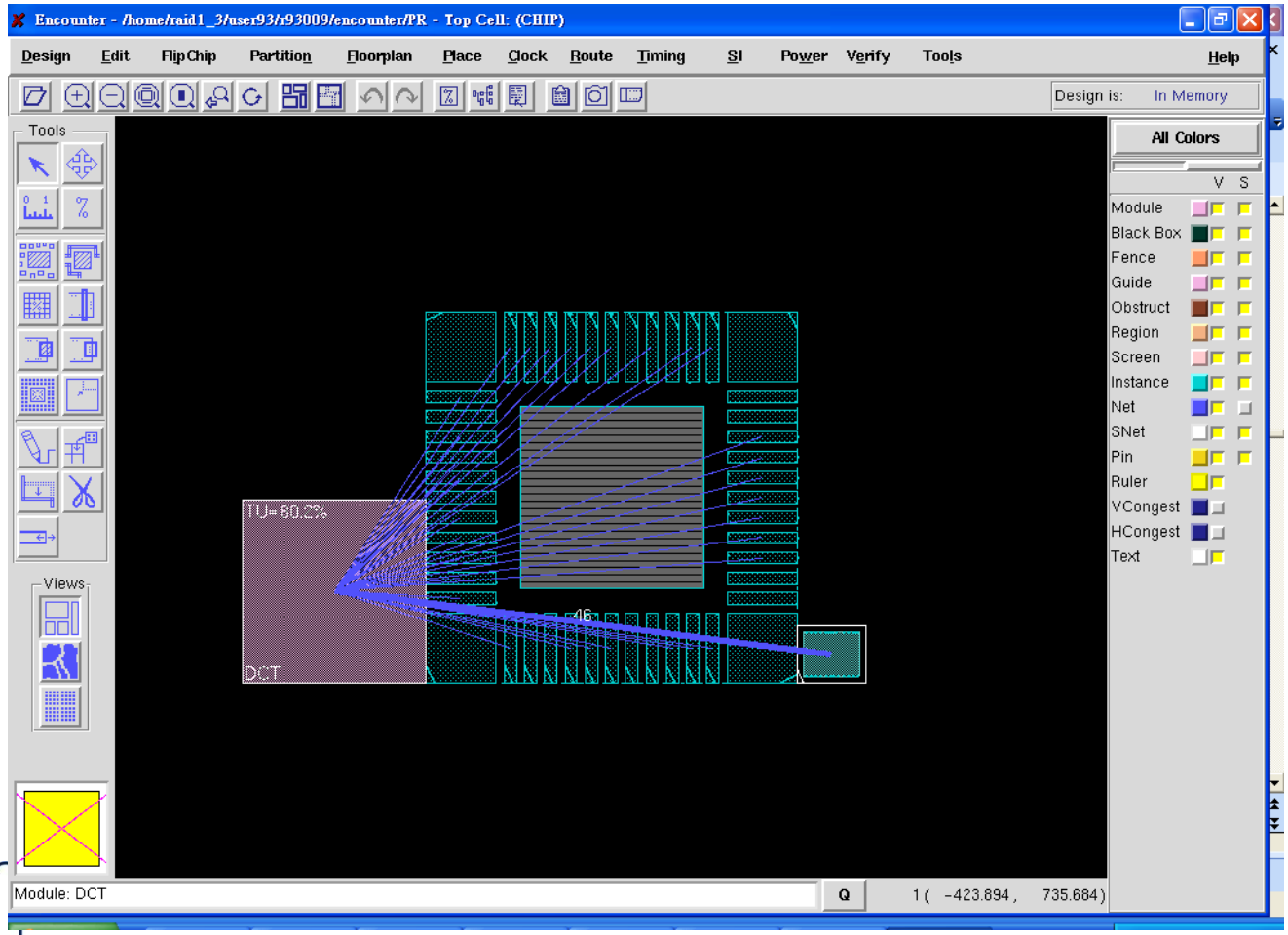
Floorplan → Specify Floorplan





Iran's Center for Integrated Circuits (ICIC)

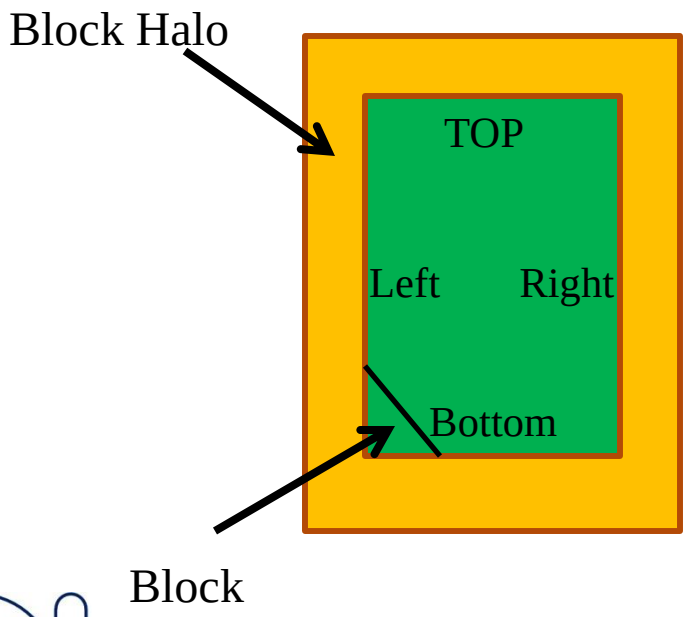
Floorplanniong

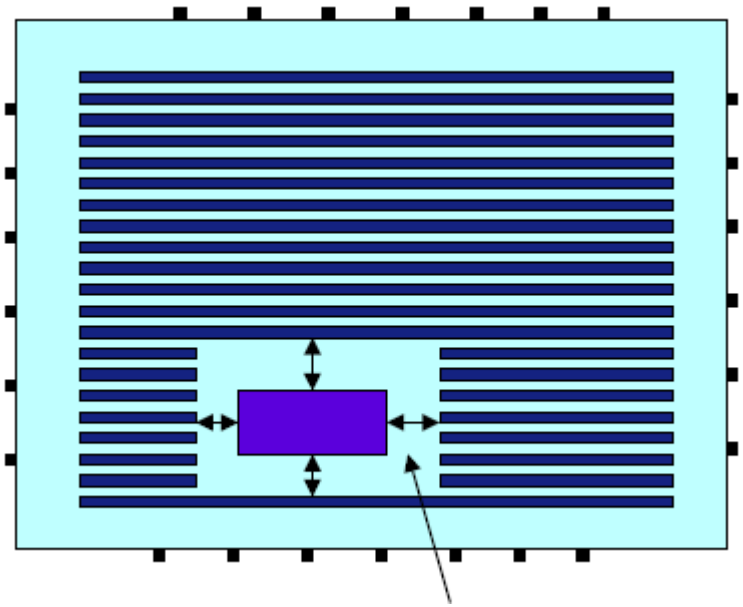


Iran's Center for Integrated Circuits (ICIC)

Floorplanniong / Edit Block Halo

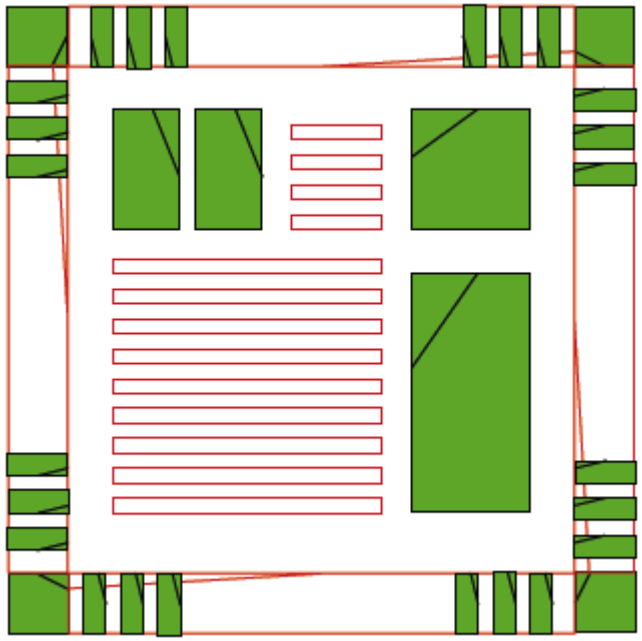
Block Halo ابزاری است که به ما این امکان را می دهد که از بروز تراکم در مرز بلوکها و سلولهای استاندارد جانمایی شده در طرح جلوگیری کنیم.

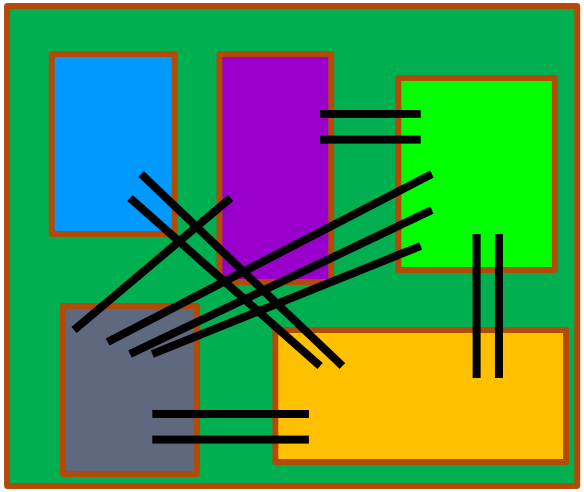


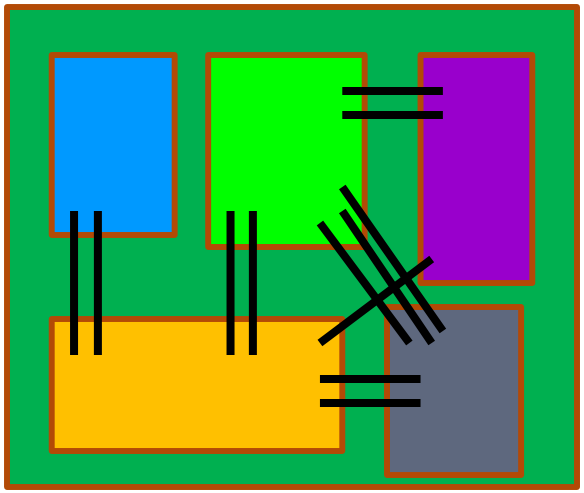


Iran's Center for Integrated Circuits (ICIC)

جانمایی بلوکها



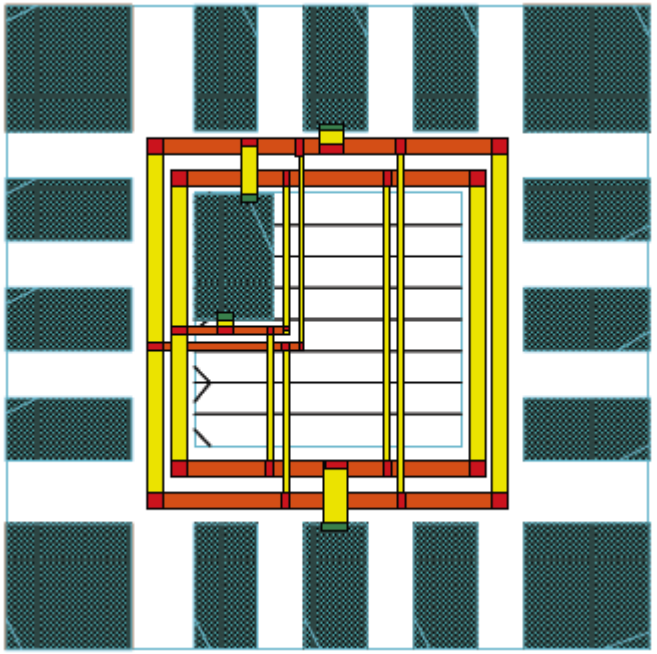




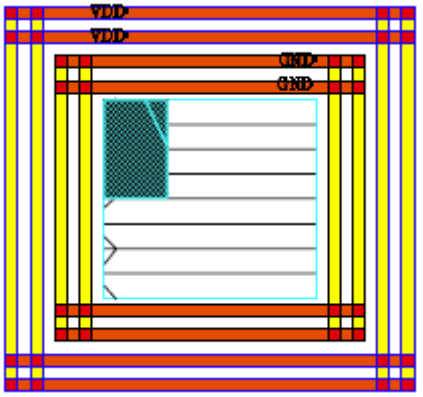
Iran's Center for Integrated Circuits (ICIC)

Power Planning: Add Ring

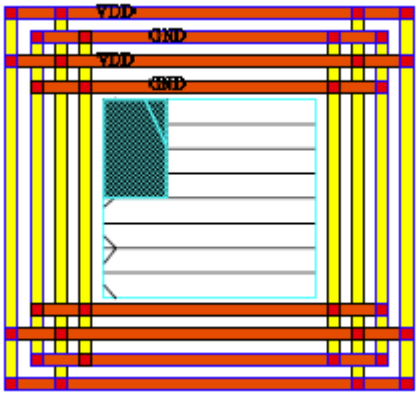
Power → Power Planning → Add Rings



Wire Group
No interleaving



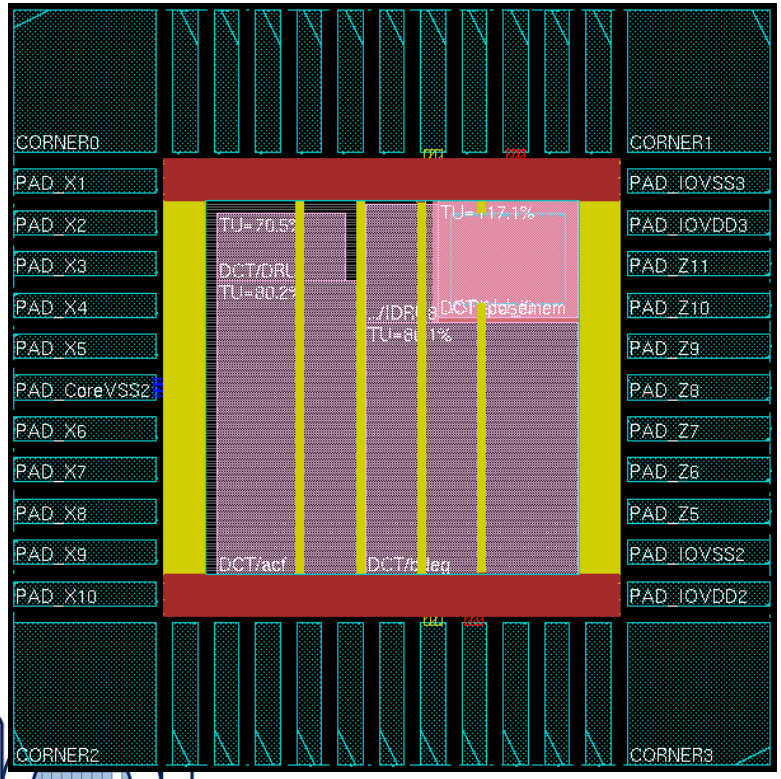
Wire Group
interleaving

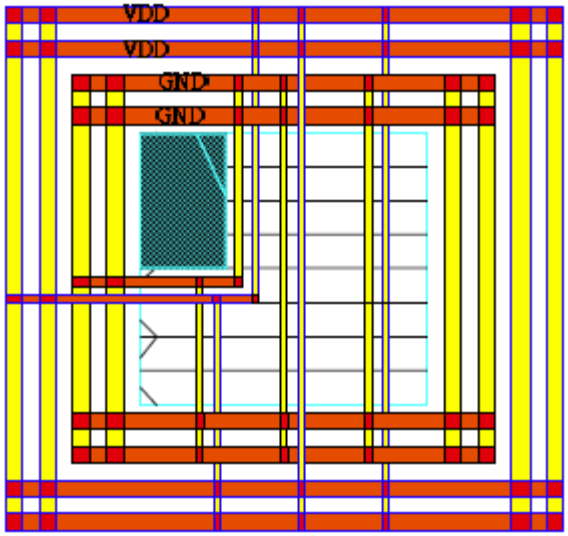


Iran's Center for Integrated Circuits (ICIC)

Power Planning: Add Stripe

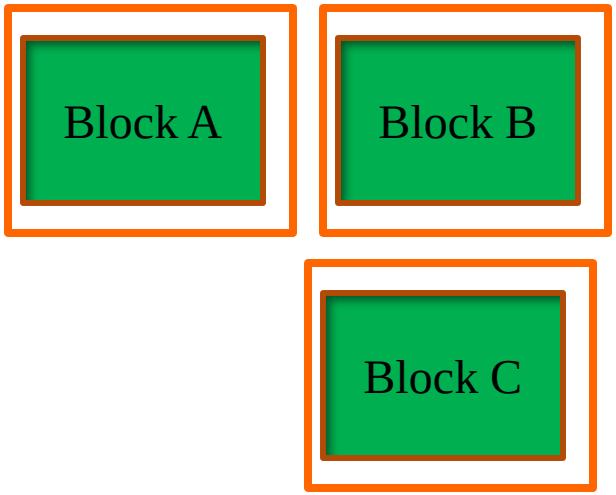
Power → Power Planning → Add Strips



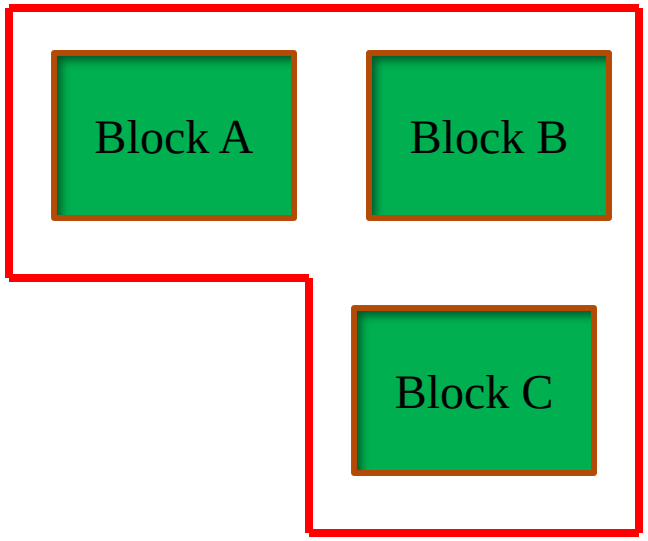


Iran's Center for Integrated Circuits (ICIC)

Power Planning



Power Planning without Shared Ring Edge

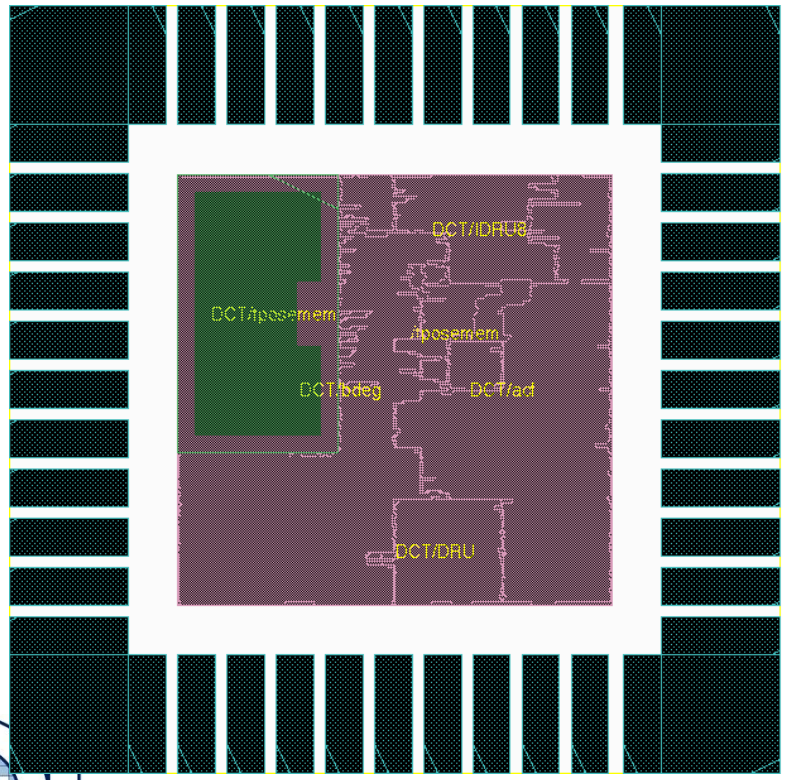


Power Planning with shared Ring Edge

Iran's Center for Integrated Circuits (ICIC)

جانمایی

Place → Standard Cells…



☺در این مرحله ما قادر خواهیم بود که سلولهای استاندارد را در سطح Coreجانمایی کنیم.

☺سلولهای استاندارد تا جایی که ممکن است در مکانهای نزدیک بهم قرار می گیرند.

Iran's Center for Integrated Circuits (ICIC)

Clock Skew

- به ماکزیمم تفاوت Arrival Time سیگنال کلاک به دو Component متفاوت Clock Skew گویند.
- Clock Skew طراح را وادار می کند تا از دوره تناوب بزرگتری برای کلاک استفاده کند. این امر باعث کند شدن سیستم می شود.
- برای اجتناب از این مشکل باید Clock Skew هنگام مسیریابی کلاک به مینیمم مقدار ممکن برسد.

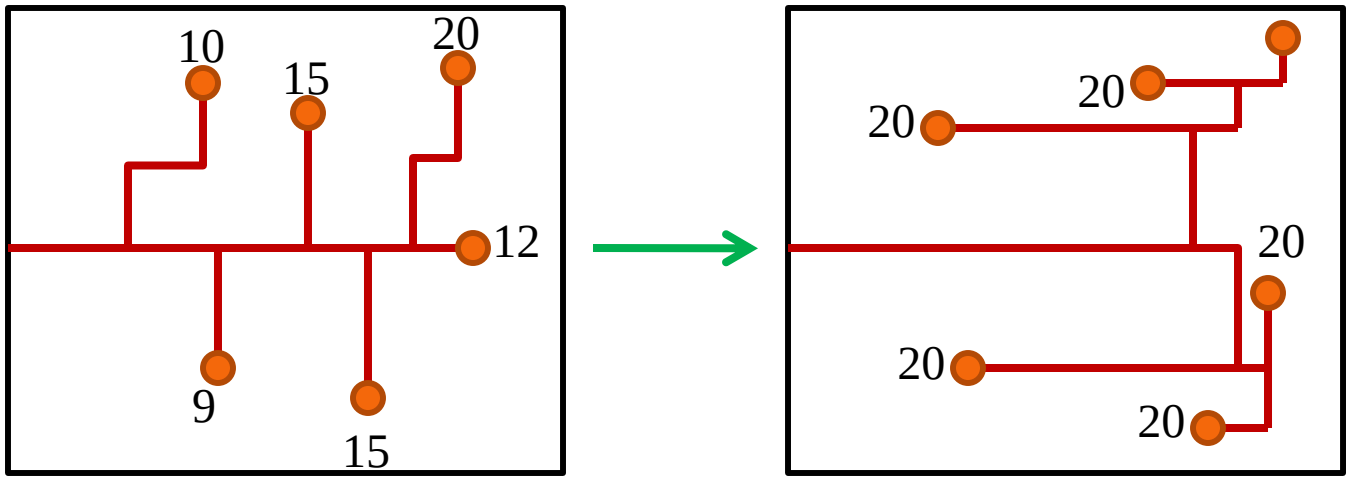
Iran's Center for Integrated Circuits (ICIC)

Clock Skew

$$\text{Clock Period} \geq t_d + t_{skew} + t_{su}$$

Clock Skew

t_{su}: Setup Time المانهای سنکرون



Clock Skew = 20 – 9 = 12 unit

Clock Skew = 0

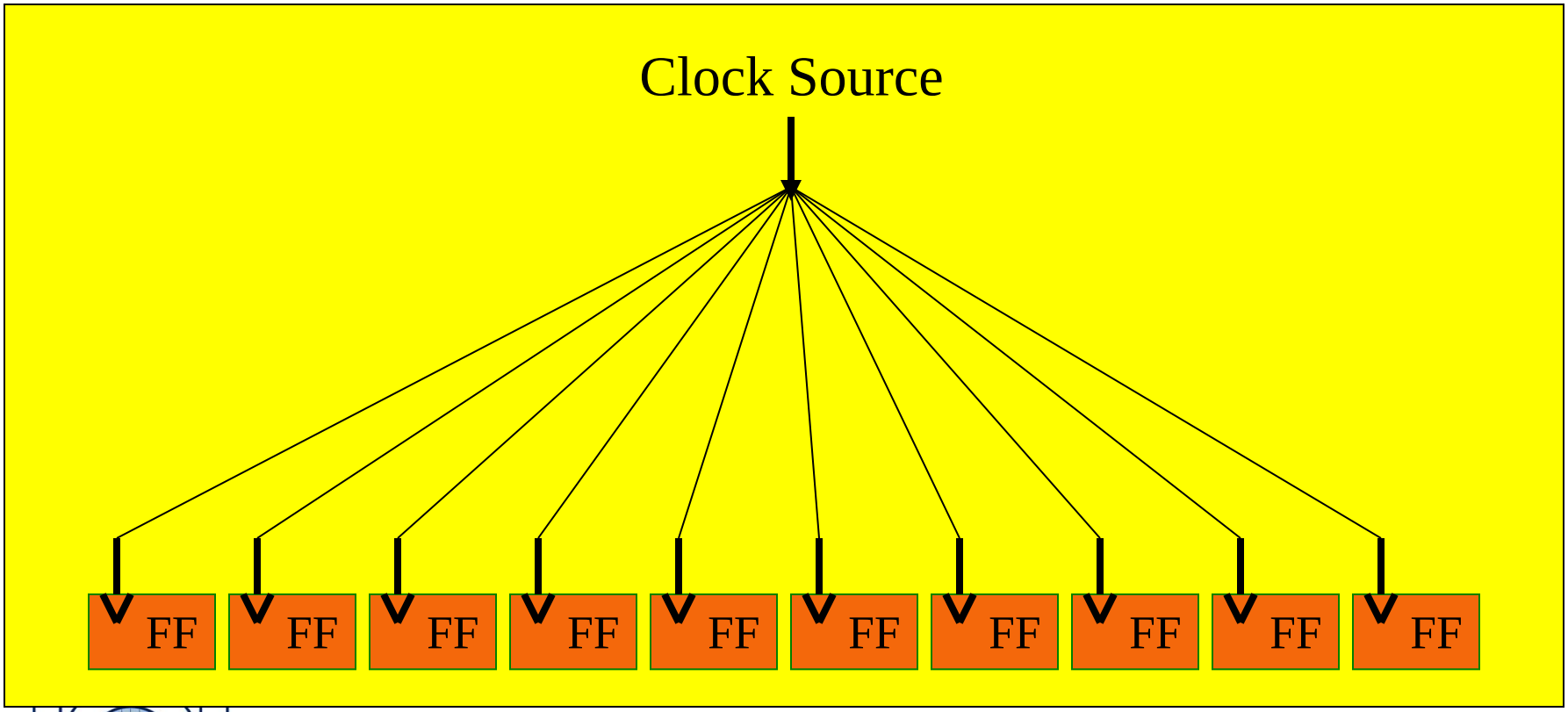
Iran's Center for Integrated Circuits (ICIC)

مشکلات کلاک

- Skew
  - مهمترین مشکل شبکه کلاک است.
  - ممکن است ۱۰٪ دوره تناوب کلاک را به خود اختصاص دهد.
- Power
  - کلاک بیشترین مصرف کننده توان سیستم است.
- تعداد زیادی از نودهای Sink باید به منبع کلاک متصل شوند.
- چون کلاک یک سیگنال Global است در نتیجه نتهای کلاک بسیار طولانی هستند.

Iran's Center for Integrated Circuits (ICIC)

مشکلات کلاک



Iran's Center for Integrated Circuits (ICIC)

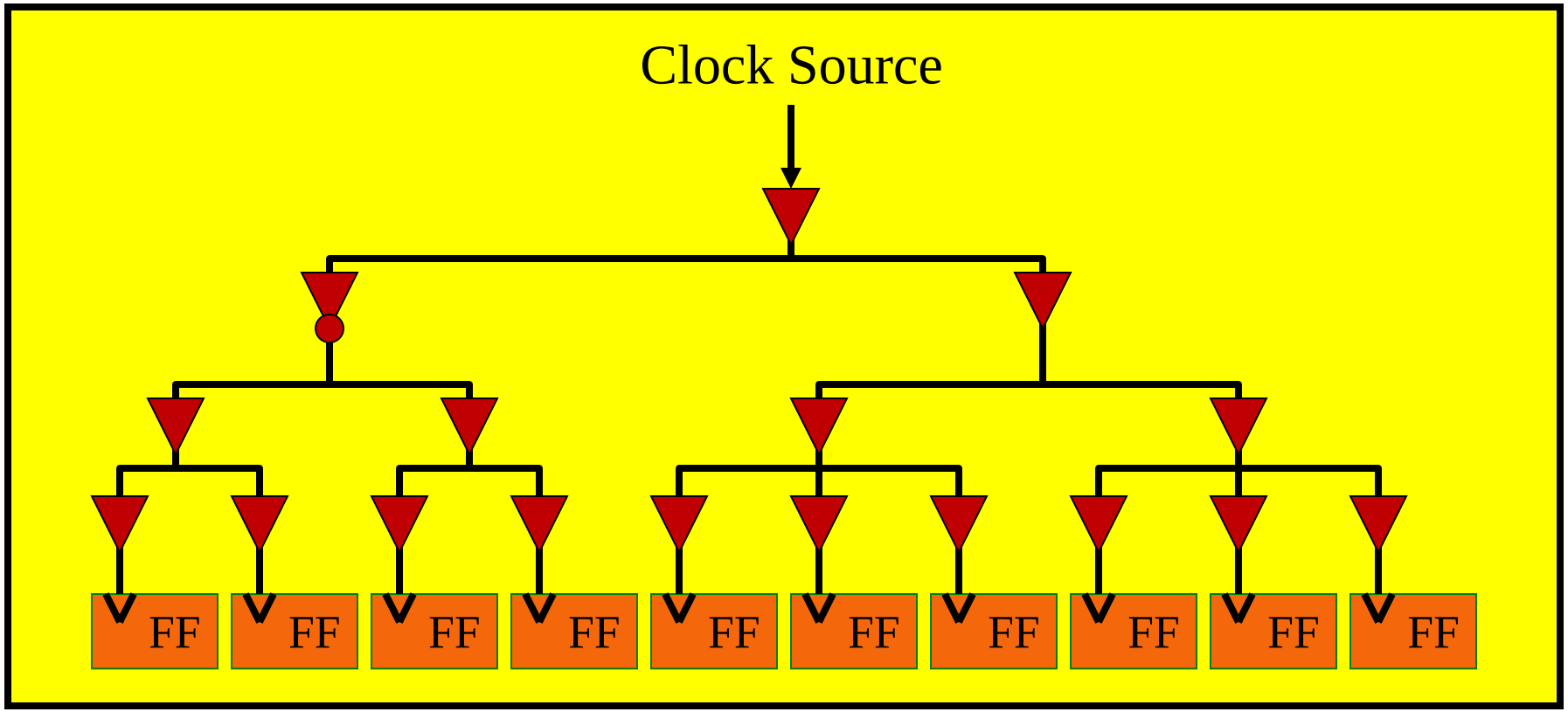
رفع مشکلات کلاک

استفاده از متد Clock Tree می تواند به رفع مشکلاک کلاک کمک کند زیرا:

- Clock Skew و طول نتها بالانس می شوند.
- با استفاده از Buffer Insertion در Clock Tree می توان Clock Skew و تاخیر را کاهش داد.

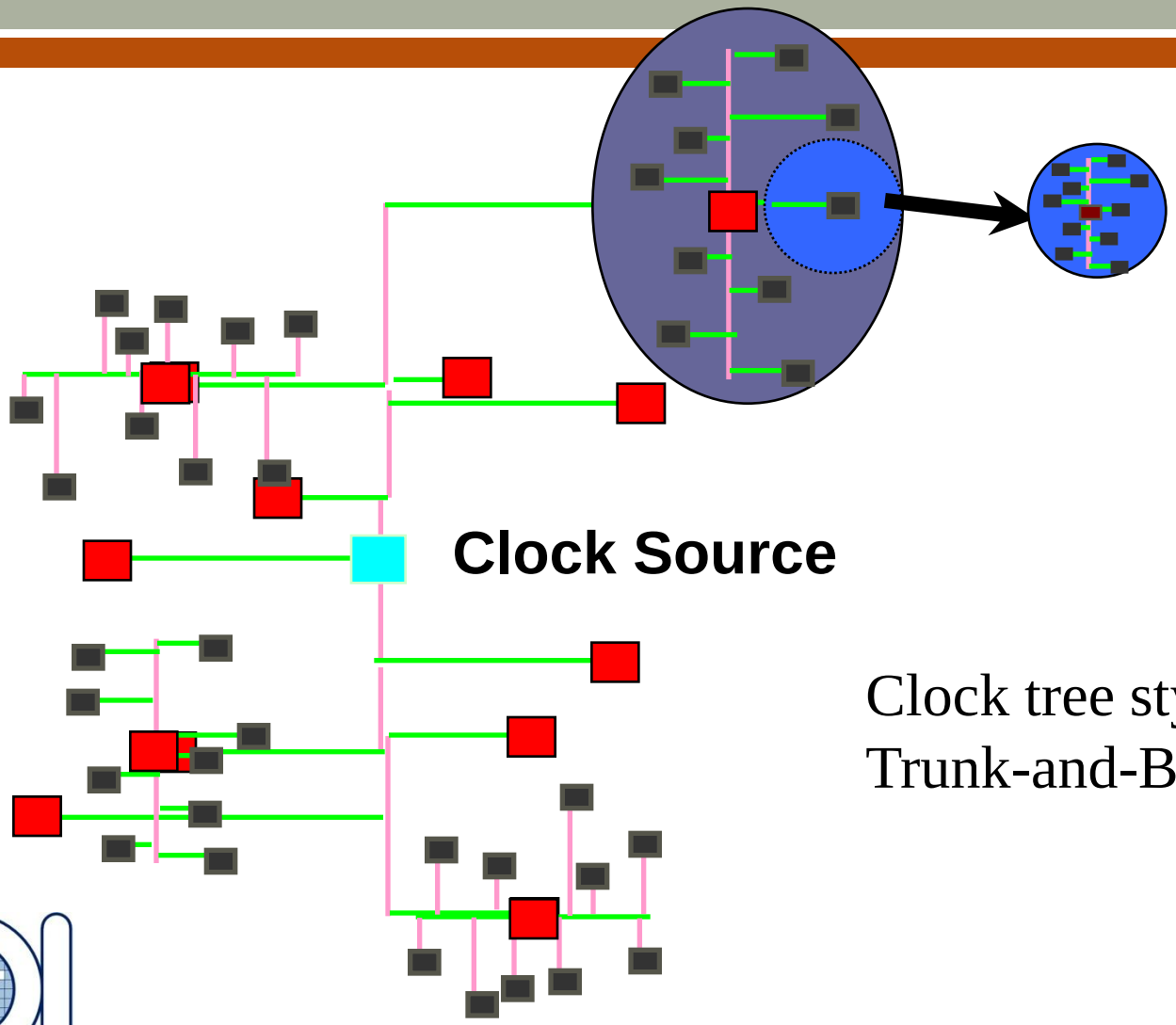
Iran's Center for Integrated Circuits (ICIC)

Clock Tree



Iran's Center for Integrated Circuits (ICIC)

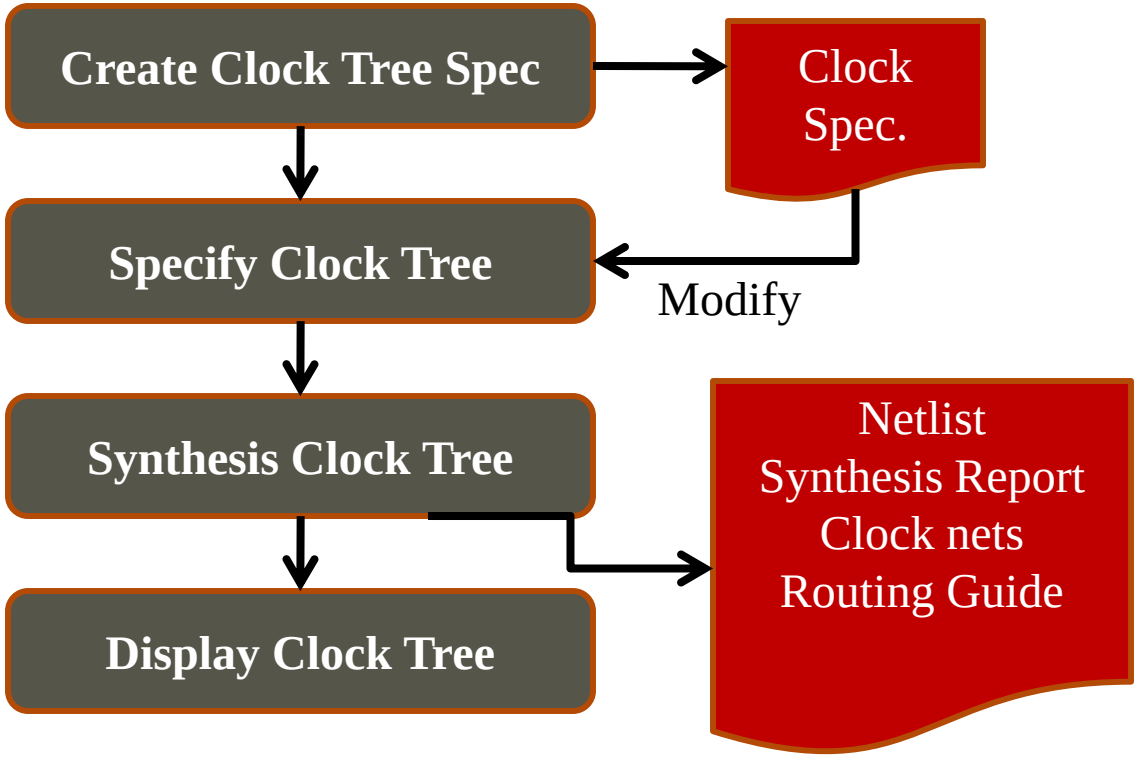
Real Clock Tree



Clock tree style
Trunk-and-Branch

Iran's Center for Integrated Circuits (ICIC)

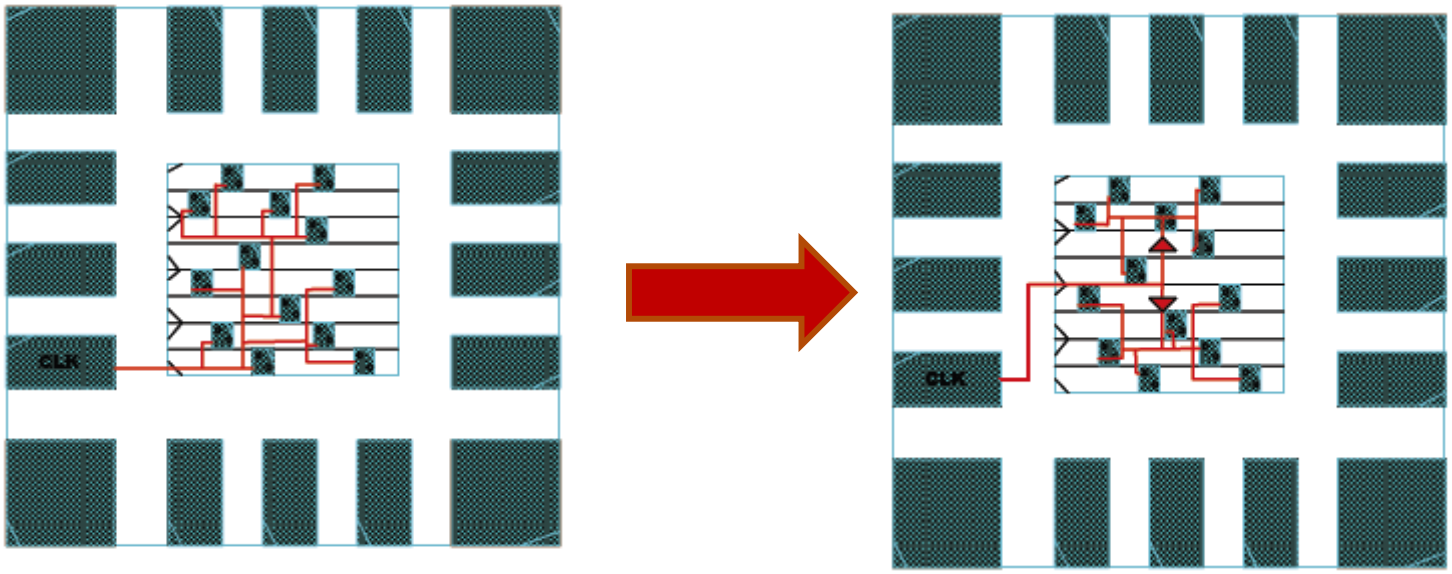
سنتز شاخه های کلاک



Iran's Center for Integrated Circuits (ICIC)

Clock Tree Synthesis

Clock →Design Clock



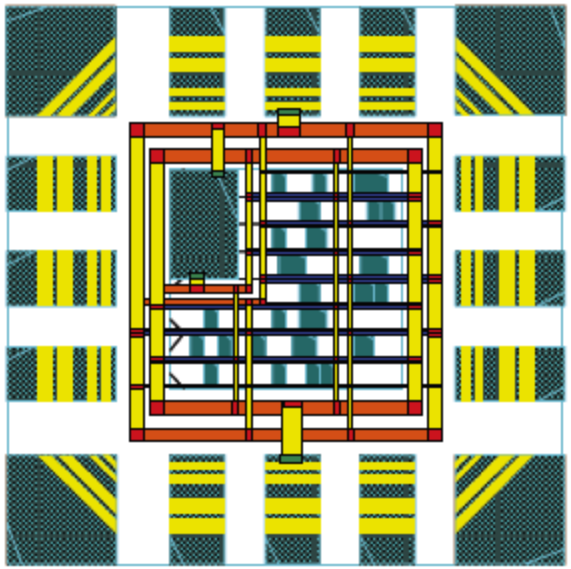
Iran's Center for Integrated Circuits (ICIC)

مسیریابی نتهای توان

- به مسیریابی نتهای Power وGround اصطلاحا Sroute یا Special Route گفته می شود که عبارتند از مسیریابی:

Route → SRoute

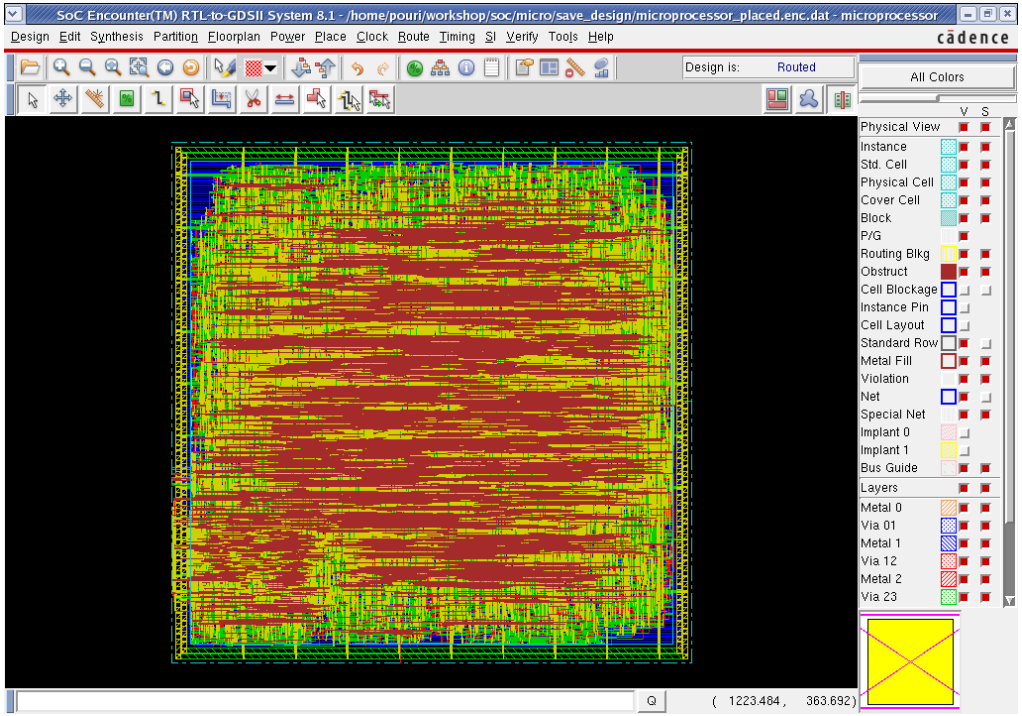
- پینهای توان بلوکهای طرح
- پینهای توان پدها
- پدهای توان
- پینهای توان Standard Cell ها
- Stripes



Iran's Center for Integrated Circuits (ICIC)

Nano Route

Route → NanoRoute → Route



Iran's Center for Integrated Circuits (ICIC)

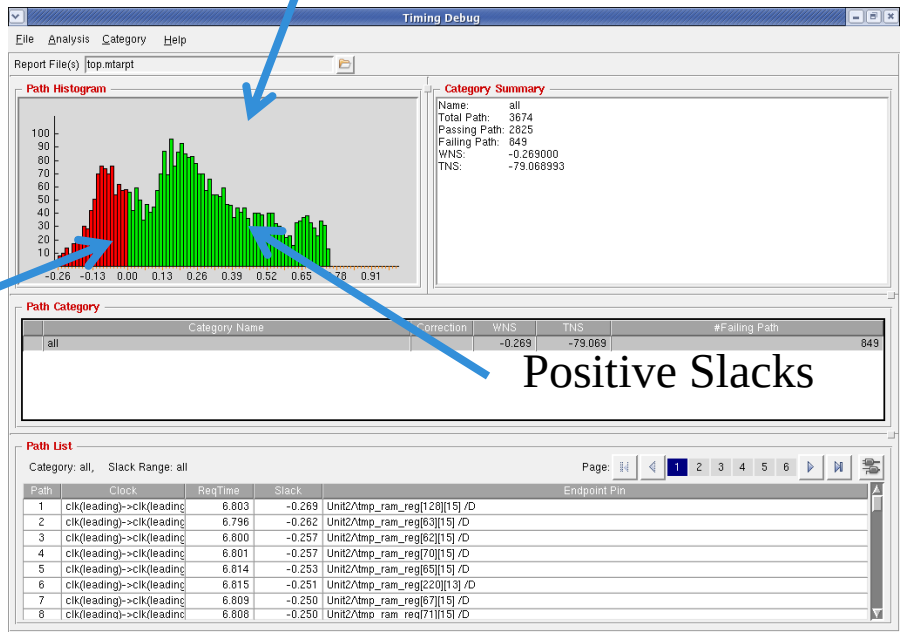
Timing Analysis

1.Timing → Extract RC…

2.Timing → Timing Analysis

3.Timing → Timing Debug → Slack Browser

Histogram Diagram



Negative Slacks

Positive Slacks

Iran's Center for Integrated Circuits (ICIC)

استخراج فایلهای خروجی

طرح لی اوت شده (جانمایی و مسیریابی شده) را به فرمت صنعتی لی اوت یعنی GDSII تبدیل می کند و برای انجام Verification مانند LVS وDRC استفاده می شود. برای Tape-out نیز فایل GDSII برای Fab فرستاده می شود.

1.Design→ Save → *GDS*

2.Design→ Save →*Netlist*

نت لیست طرح به فرمت v. برای انجام LVS و شبیه سازی Post-layout استخراج می شود.

Iran's Center for Integrated Circuits (ICIC)

با سپاس

برای اطلاعات دقیقتر به " راهنمای جامع و عملی روند طراحی مدارات مجتمع دیجیتال" مراجعه فرمایید.

157